

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-116161

(43)Date of publication of application : 02.05.1997

(51)Int.Cl.

H01L 29/786

G02F 1/136

H01L 21/336

(21)Application number : 07-270398

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 18.10.1995

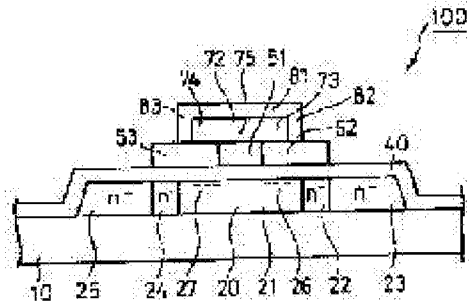
(72)Inventor : MIYASAKA MITSUTOSHI

(54) THIN FILM SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a thin film semiconductor device which can be manufactured by one ion-doping process and in which an off-leak current is suppressed and the decrease of an ON-current is suppressed.

SOLUTION: A polycrystalline silicon thin film 20 and a gate insulating film 40 are formed on a glass substrate 10 and a tantalum gate electrode 51 and anode tantalum oxide films 52 and 53 are formed on them. An aluminum gate electrode 72 which is wider than the tantalum gate electrode 51 is formed on the electrode 51 and the films 52 and 53. The surface of the aluminum gate electrode 72 is covered with anode aluminum oxide films 81, 82 and 83. Phosphorus ions are introduced from the above by an ion doping method to form an n⁺-type drain region 23 and an n⁻-type drain region 22 in the polycrystalline silicon thin film 20. An off-leak current can be suppressed by the n⁺-type drain region 23 of an offset gate structure and the decrease of an ON-current is suppressed by the n⁻-type drain region 22. The decrease of the ON-current is also suppressed by an electrical n⁻-type region 26 induced under the protruding part of the gate electrode 72.



LEGAL STATUS

[Date of request for examination]

15.03.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3648808

[Date of registration]

25.02.2005

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-116161

(43)公開日 平成9年(1997)5月2日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/786			H 0 1 L 29/78	6 1 7 L
G 0 2 F 1/136	5 0 0		G 0 2 F 1/136	5 0 0
H 0 1 L 21/336			H 0 1 L 29/78	6 1 6 A 6 1 7 M

審査請求 未請求 請求項の数24 O L (全 26 頁)

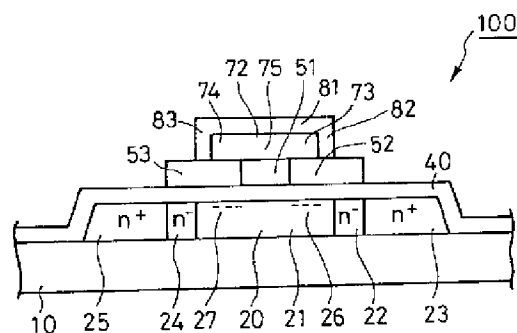
(21)出願番号	特願平7-270398	(71)出願人	000002369 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号
(22)出願日	平成7年(1995)10月18日	(72)発明者	宮坂 光敏 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		(74)代理人	弁理士 鈴木 喜三郎 (外1名)

(54)【発明の名称】 薄膜半導体装置およびその製造方法

(57)【要約】

【課題】一回のイオンドーピングによって製造可能な薄膜半導体装置であって、オフリーク電流を抑制し、オン電流の減少を抑えた薄膜半導体装置を提供する。

【解決手段】ガラス基板10上にポリシリコン薄膜20とゲート絶縁膜40を形成し、その上にタンタルゲート電極51と陽極酸化タンタル膜52、53とを形成する。その上にタンタルゲート電極51よりも幅広のアルミニウムゲート電極72を形成し、その表面を陽極酸化アルミニウム膜81、82、83で覆う。上面よりイオンドーピング法により燐イオンを導入して、ポリシリコン薄膜20にn⁺ドレイン領域23、n⁻ドレイン領域22を形成する。オフセットゲート構造のn⁺ドレイン領域23によりオフリーク電流を抑制し、n⁻ドレイン領域22によりオン電流の減少を抑制する。アルミニウムゲート電極72の突出部の下に誘起される電氣的n⁻領域26によりオン電流の減少を抑制する。



【特許請求の範囲】

【請求項1】絶縁基板上に形成された半導体薄膜と、前記半導体薄膜上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、前記ゲート電極の両側の前記半導体薄膜にそれぞれ形成されたソース領域およびドレイン領域と、を備える薄膜半導体装置において、前記ゲート電極が、前記ゲート絶縁膜上に形成された第1のゲート電極と、前記第1のゲート電極上に形成された第2のゲート電極とを備え、前記第2のゲート電極が、前記第1のゲート電極の直上に前記第1のゲート電極と接して設けられた第1の副ゲート電極と、前記第1のゲート電極の前記ドレイン領域側の端部の位置から前記ドレイン領域側に第1の所定の距離突出して設けられた第2の副ゲート電極とを少なくとも有し、前記ドレイン領域が、前記第1のゲート電極の前記ドレイン領域側の前記端部から第2の所定の距離離間して設けられていることを特徴とする薄膜半導体装置。

【請求項2】前記第1のゲート電極と前記ドレイン領域との間の前記半導体薄膜に形成された低濃度ドレイン領域であって、前記ドレイン領域よりも低不純物濃度の前記低濃度ドレイン領域をさらに備え、前記低濃度ドレイン領域が前記第1のゲート電極から第3の所定の距離離間して設けられていると共に前記ドレイン領域と電気的に接続して設けられていることを特徴とする請求項1記載の薄膜半導体装置。

【請求項3】前記半導体薄膜が多結晶シリコンからなる半導体薄膜であることを特徴とする請求項1または2記載の薄膜半導体装置。

【請求項4】前記第1のゲート電極が第1の金属からなり、前記第2のゲート電極が第2の金属からなり、前記第1の金属と前記第2の金属とが異なった種類の金属であることを特徴とする請求項1乃至3のいずれかに記載の薄膜半導体装置。

【請求項5】前記第1のゲート電極が第1の金属からなり、前記第2のゲート電極が第2の金属からなり、前記第1の金属のエッチング特性と、前記第2の金属のエッチング特性とが異なっていることを特徴とする請求項1乃至3のいずれかに記載の薄膜半導体装置。

【請求項6】前記第1のゲート電極が第1の金属からなり、前記第2のゲート電極が第2の金属からなり、前記第1の金属が陽極酸化可能な金属であることを特徴とする請求項1乃至3のいずれかに記載の薄膜半導体装置。

【請求項7】前記第1のゲート電極が第1の金属からなり、前記第2のゲート電極が第2の金属からなり、前記第1の金属が陽極酸化可能な金属であり、前記第2の金属が陽極酸化可能な金属であり、前記第1の金属の陽極酸化速度が前記第2の金属の陽極酸化速度よりも大きいことを特徴とする請求項1乃至6のいずれかに記載の薄

膜半導体装置。

【請求項8】前記第1の金属がタンタルであり、前記第2の金属がアルミニウムであることを特徴とする請求項7記載の薄膜半導体装置。

【請求項9】前記ゲート絶縁膜が、化学気相成長法で作成された絶縁膜であることを特徴とする請求項8記載の薄膜半導体装置。

【請求項10】絶縁基板上に形成された半導体薄膜と、前記半導体薄膜上に化学気相成長法で形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたタンタルからなる第1のゲート電極と、タンタルを陽極酸化して前記第1のゲート電極の両側にそれぞれ形成された第1および第2の酸化タンタル膜と、アルミニウムからなる第2のゲート電極であって、前記第2のゲート電極の幅が前記第1のゲート電極の幅よりも大きく、前記第2のゲート電極が前記幅の方向において中央部と前記中央部の両側の第1および第2の側部とを備え、前記第2のゲート電極の前記中央部が前記第1のゲート電極と同じ幅であり、前記中央部が前記第1のゲート電極の直上に前記第1のゲート電極と接して設けられ、前記第2のゲート電極の両側の前記第1および第2の側部が前記第1のゲート電極の前記幅の方向における第1の端部の位置および第2の端部の位置から第1および第2の所定の距離それぞれ突出して前記第1および第2の酸化タンタル膜上にそれぞれ設けられた前記第2のゲート電極と、

アルミニウムが陽極酸化されて、前記第2のゲート電極の上面および側面に前記第2のゲート電極を覆って形成された酸化アルミニウム膜と、前記第1のゲート電極から第3の所定の距離離間して前記半導体薄膜に設けられたドレイン領域と、前記第1のゲート電極に対して、前記ドレイン領域と反対側の前記半導体薄膜に設けられたソース領域と、を備えることを特徴とする薄膜半導体装置。

【請求項11】前記第1のゲート電極と前記ドレイン領域との間の前記半導体薄膜に形成された低濃度ドレイン領域であって、前記ドレイン領域よりも低不純物濃度の前記低濃度ドレイン領域をさらに備え、前記低濃度ドレイン領域が前記第1のゲート電極から第4の所定の距離離間して設けられていると共に前記ドレイン領域と電気的に接続して設けられていることを特徴とする請求項10記載の薄膜半導体装置。

【請求項12】絶縁基板上に形成された半導体薄膜と、前記半導体薄膜上に化学気相成長法で形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたタンタルからなる第1のゲート電極と、タンタルを陽極酸化して前記第1のゲート電極の両側に

それぞれ形成された第1および第2の酸化タンタル膜と、
 アルミニウムからなる第2のゲート電極であって、前記第2のゲート電極の幅が前記第1のゲート電極の幅よりも大きく、前記第2のゲート電極が前記幅の方向において中央部と前記中央部の両側の第1および第2の側部とを備え、前記第2のゲート電極の前記中央部が前記第1のゲート電極と同じ幅であり、前記中央部が前記第1のゲート電極の直上に前記第1のゲート電極と接して設けられ、前記第2のゲート電極の両側の前記第1および第2の側部が前記第1のゲート電極の前記幅の方向における第1の端部の位置および第2の端部の位置から第1および第2の所定の距離それぞれ突出して前記第1および第2の酸化タンタル膜上にそれぞれ設けられた前記第2のゲート電極と、
 アルミニウムが陽極酸化されて、前記第2のゲート電極の上面および側面に前記第2のゲート電極を覆って形成された酸化アルミニウム膜と、
 前記第1のゲート電極から第3の所定の距離離間して前記半導体薄膜に形成された高濃度ドレイン領域と、
 前記第1のゲート電極と前記高濃度ドレイン領域との間の前記半導体薄膜に形成され、前記高濃度ドレイン領域よりも低不純物濃度の低濃度ドレイン領域であって、前記第1のゲート電極から第4の所定の距離離間して設けられると共に前記高濃度ドレイン領域と接して形成された前記低濃度ドレイン領域と、
 前記第1のゲート電極に対して前記高濃度ドレイン領域と反対側の前記半導体薄膜に、前記第1のゲート電極から第5の所定の距離離間して設けられた高濃度ソース領域と、
 前記第1のゲート電極と前記高濃度ソース領域との間の前記半導体薄膜に形成され、前記高濃度ソース領域よりも低不純物濃度の低濃度ソース領域であって、前記第1のゲート電極から第6の所定の距離離間して形成されると共に前記高濃度ソース領域と接して形成された低濃度ソース領域と、
 を備えることを特徴とする薄膜半導体装置。

【請求項13】前記高濃度ドレイン領域が前記ゲート絶縁膜の下の前記半導体薄膜に形成され、前記低濃度ドレイン領域が前記第1の酸化タンタル膜および前記ゲート絶縁膜の下の前記半導体薄膜に形成され、前記半導体薄膜が多結晶シリコン薄膜であり、前記ゲート絶縁膜が、化学気相成長法により形成された酸化ケイ素膜であり、前記酸化ケイ素膜の膜厚を t_{ox} (Å)とし、第1の酸化タンタル膜の膜厚を t_{TaOx} (Å)とした場合に、
 $(a \cdot t_{ox}^2 + b \cdot t_{ox}) \times 1.28 < t_{TaOx}$ 、
 $t_{TaOx} < (a \cdot t_{ox}^2 + b \cdot t_{ox}) \times 3.09$
 (ここで、 $a = -8.8889 \times 10^{-5}$ (Å⁻¹)、 $b = 0.44$ である。)の関係を満たすことを特徴とする請求項12記載の薄膜半導体装置。

【請求項14】絶縁基板上に形成された半導体薄膜と、前記半導体薄膜上に化学気相成長法で形成されたゲート絶縁膜と、
 前記ゲート絶縁膜上に形成されたタンタルからなる第1のゲート電極と、
 前記第1のゲート電極上に形成されたアルミニウムからなる第2のゲート電極と、
 前記第1のゲート電極の両側の前記半導体薄膜に形成されたドレイン領域およびソース領域と、
 を備えることを特徴とする薄膜半導体装置。

【請求項15】タンタルが陽極酸化されて、前記第1のゲート電極の両側に形成された酸化タンタル膜と、
 アルミニウムが陽極酸化されて、前記第2のゲート電極の上面および側面に前記第2のゲート電極を覆って形成された酸化アルミニウム膜と、
 をさらに備えることを特徴とする請求項14記載の薄膜半導体装置。

【請求項16】絶縁基板上に半導体薄膜を形成する工程と、
 前記半導体薄膜上にゲート絶縁膜を形成する工程と、
 前記ゲート絶縁膜上に第1のゲート電極を形成し、前記第1のゲート電極よりも幅が広く前記幅の方向において中央部と前記中央部の両側の第1および第2の側部とを備える第2のゲート電極を前記第1のゲート電極上に形成して、前記第2のゲート電極の前記中央部であって前記第1のゲート電極と同じ幅である前記中央部を前記第1のゲート電極の直上に設け、前記第2のゲート電極の前記幅の方向の前記第1の側部および前記第2の側部を前記第1のゲート電極の前記幅の方向における第1の端部の位置および第2の端部の位置から前記幅の方向においてそれぞれ突出させる工程と、
 前記第2のゲート電極および前記第1のゲート電極をマスクとして、前記半導体薄膜にイオン注入法により不純物を導入して、前記第2のゲート電極の両側の前記半導体薄膜にソース領域用不純物領域とドレイン領域用不純物領域とをそれぞれ形成する工程と、
 を有することを特徴とする薄膜半導体装置の製造方法。

【請求項17】絶縁基板上に半導体薄膜を形成する工程と、
 前記半導体薄膜上にゲート絶縁膜を形成する工程と、
 前記ゲート絶縁膜上に第1のゲート電極および前記第1のゲート電極の両側の第1および第2の絶縁膜をそれぞれ形成し、前記第1のゲート電極よりも幅が広く前記幅の方向において中央部と前記中央部の両側の第1および第2の側部とを備える第2のゲート電極を前記第1のゲート電極上に形成して、前記第2のゲート電極の前記中央部であって前記第1のゲート電極と同じ幅である前記中央部を前記第1のゲート電極の直上に設け、前記第2のゲート電極の前記幅の方向の前記第1の側部および前記第2の側部を前記第1のゲート電極の前記幅の方向に

おける第1の端部の位置および第2の端部の位置から前記幅の方向においてそれぞれ突出させて前記第1の絶縁膜および前記第2の絶縁膜上に前記第1の側部の外側の端部が前記第1の絶縁膜の外側の端部よりも内側となり前記第2の側部の外側の端部が前記第2の絶縁膜の外側の端部よりも内側となるようにそれぞれ設ける工程と、前記第2のゲート電極、前記第1および第2の絶縁膜ならびに前記第1のゲート電極をマスクとして前記半導体薄膜にイオン注入法により不純物を導入して、前記第1の絶縁膜の外側の前記ゲート絶縁膜の下の前記半導体薄膜に高濃度ドレイン領域用不純物領域を、前記第2のゲート電極の外側の前記第1の絶縁膜の下の前記半導体薄膜に前記高濃度ドレイン領域よりも低不純物濃度の低濃度ドレイン領域用不純物領域を、前記第2の絶縁膜の外側の前記ゲート絶縁膜の下の前記半導体薄膜に高濃度ソース領域用不純物領域を、前記第2のゲート電極の外側の前記第2の絶縁膜の下の前記半導体薄膜に前記高濃度ソース領域よりも低不純物濃度の低濃度ソース領域用不純物領域をそれぞれ形成する工程と、

を有することを特徴とする薄膜半導体装置の製造方法。

【請求項18】絶縁基板上に半導体薄膜を形成する工程と、

前記半導体薄膜上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に、陽極酸化可能な第1の金属からなる第1の金属膜と、陽極酸化可能であり前記第1の金属よりも陽極酸化速度が小さい第2の金属からなる第2の金属膜であって前記第1の金属膜と実質的に同じ幅で前記第1の金属膜上に積層された第2の金属膜とからなる金属膜積層体を形成する工程と、

前記金属膜積層体を陽極酸化して、前記第1の金属からなる第1のゲート電極と前記第1のゲート電極の両側の第1および第2の陽極酸化膜とを前記ゲート絶縁膜上に形成し、前記第2の金属からなり前記第1のゲート電極よりも幅が広く前記幅の方向において中央部と前記中央部の両側の第1および第2の側部とを備える第2のゲート電極を、前記第2のゲート電極の前記中央部であって前記第1のゲート電極と同じ幅である前記中央部を前記第1のゲート電極の直上とし、前記第2のゲート電極の前記幅の方向の前記第1の側部および前記第2の側部を前記第1のゲート電極の前記幅の方向における第1の端部の位置および第2の端部の位置から前記幅の方向においてそれぞれ突出させて前記第1の陽極酸化膜および前記第2の陽極酸化膜上にそれぞれ位置するようにして、前記第1のゲート電極上に形成し、前記第2のゲート電極の前記第1の側部上、前記中央部上および前記第2の側部上に第3の陽極酸化膜を形成し、前記第2のゲート電極の前記第1の側部の外側の側面に第4の陽極酸化膜を前記第4の陽極酸化膜の外側の端部が前記第1の陽極酸化膜の外側の端部よりも内側となるように形成し、前記第2のゲート電極の前記第2の側部の外側の側面に第

5の陽極酸化膜を前記第5の陽極酸化膜の外側の端部が前記第2の陽極酸化膜の外側の端部よりも内側となるように形成する工程と、

前記第2のゲート電極、前記第3乃至第5の陽極酸化膜、前記第1および第2の陽極酸化膜、ならびに前記第1のゲート電極をマスクとして前記半導体薄膜にイオン注入法により不純物を導入して、前記第1の陽極酸化膜の外側の前記ゲート絶縁膜の下の前記半導体薄膜に高濃度ドレイン領域用不純物領域を、前記第4の陽極酸化膜の外側の前記第1の陽極酸化膜の下の前記半導体薄膜に前記高濃度ドレイン領域用不純物領域よりも低不純物濃度の低濃度ドレイン領域用不純物領域を、前記第2の陽極酸化膜の外側の前記ゲート絶縁膜の下の前記半導体薄膜に高濃度ソース領域用不純物領域を、前記第5の陽極酸化膜の外側の前記第2の陽極酸化膜の下の前記半導体薄膜に前記高濃度ソース領域用不純物領域よりも低不純物濃度の低濃度ソース領域用不純物領域をそれぞれ形成する工程と、

を有することを特徴とする薄膜半導体装置の製造方法。

【請求項19】前記ゲート絶縁膜上に、陽極酸化可能な第1の金属からなる第1の金属膜と、陽極酸化可能であり前記第1の金属よりも陽極酸化速度が小さい第2の金属からなる第2の金属膜であって前記第1の金属膜と実質的に同じ幅で前記第1の金属膜上に積層された第2の金属膜とからなる金属膜積層体を形成する前記工程が、前記ゲート絶縁膜上に、前記第1の金属からなる第3の金属膜を形成し、その後、連続して前記第3の金属膜上に前記第2の金属からなる第4の金属膜を形成し、その後、前記第4の金属膜上にレジストを選択的に形成し、その後前記レジストをマスクにして、前記第4の金属膜および前記第3の金属膜を選択的にエッチング除去して、前記ゲート絶縁膜上に、前記第1の金属からなる前記第1の金属膜と、前記第2の金属からなり前記第1の金属膜と実質的に同じ幅で前記第1の金属膜上に積層された前記第2の金属膜とからなる前記金属膜積層体を形成する工程であることを特徴とする請求項18記載の薄膜半導体装置の製造方法。

【請求項20】絶縁基板上に半導体薄膜を形成する工程と、

前記半導体薄膜上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に、陽極酸化可能な第1の金属からなる第1の金属膜と、陽極酸化困難な第2の金属からなり前記第1の金属膜と実質的に同じ幅で前記第1の金属膜上に積層された第2の金属膜とからなる金属膜積層体を形成する工程と、

前記金属膜積層体を熱酸化して前記第2の金属膜の上面および両側面に前記第2の金属の第1、第2および第3の熱酸化膜をそれぞれ形成し、前記第1の金属膜の両側面に前記第1の金属の熱酸化膜を形成し、その後、前記第1の金属膜を陽極酸化することにより、前記第1の金

属からなる第1のゲート電極と前記第1のゲート電極の両側の第1および第2の陽極酸化膜とを前記ゲート酸化膜上に形成し、前記第2の金属からなり前記第1のゲート電極よりも幅が広く前記幅の方向において中央部と前記中央部の両側の第1および第2の側部とを備える第2のゲート電極を、前記第2のゲート電極の前記中央部であって前記第1のゲート電極と同じ幅である前記中央部を前記第1のゲート電極の直上とし、前記第2のゲート電極の前記幅の方向の前記第1の側部および前記第2の側部を前記第1のゲート電極の前記幅の方向における第1の端部の位置および第2の端部の位置から前記幅の方向においてそれぞれ突出させて前記第1の陽極酸化膜および前記第2の陽極酸化膜上にそれぞれ位置するようにして、前記第1のゲート電極上に形成し、前記第2のゲート電極の両側の前記第2および第3の熱酸化膜を前記第2の熱酸化膜の外側の端部が前記第1の陽極酸化膜の外側の端部よりも内側となり前記第3の熱酸化膜の外側の端部が前記第2の陽極酸化膜の外側の端部よりも内側となるように形成する工程と、

前記第2のゲート電極、前記第1乃至第3の熱酸化膜、前記第1および第2の陽極酸化膜、ならびに前記第1のゲート電極をマスクとして前記半導体薄膜にイオン注入法により不純物を導入して、前記第1の陽極酸化膜の外側の前記ゲート絶縁膜の下の前記半導体薄膜に高濃度ドレイン領域用不純物領域を、前記第2の熱酸化膜の外側の前記第1の陽極酸化膜の下の前記半導体薄膜に前記高濃度ドレイン領域用不純物領域よりも低不純物濃度の低濃度ドレイン領域用不純物領域を、前記第2の陽極酸化膜の外側の前記ゲート絶縁膜の下の前記半導体薄膜に高濃度ソース領域用不純物領域を、前記第3の熱酸化膜の外側の前記第2の陽極酸化膜の下の前記半導体薄膜に前記高濃度ソース領域用不純物領域よりも低不純物濃度の低濃度ソース領域用不純物領域をそれぞれ形成する工程と、

を有することを特徴とする薄膜半導体装置の製造方法。

【請求項21】前記ゲート絶縁膜上に、陽極酸化可能な第1の金属からなる第1の金属膜と、陽極酸化困難な第2の金属からなり前記第1の金属膜と実質的に同じ幅で前記第1の金属膜上に積層された第2の金属膜とからなる金属膜積層体を形成する前記工程が、

前記ゲート絶縁膜上に、前記第1の金属からなる第3の金属膜を形成し、その後、連続して前記第3の金属膜上に前記第2の金属からなる第4の金属膜を形成し、その後、前記第4の金属膜上にレジストを選択的に形成し、その後前記レジストをマスクにして、前記第4の金属膜および前記第3の金属膜を選択的にエッチング除去して、前記ゲート絶縁膜上に、前記第1の金属からなる前記第1の金属膜と、前記第2の金属からなり前記第1の金属膜と実質的に同じ幅で前記第1の金属膜上に積層された前記第2の金属膜とからなる前記金属膜積層体を形

成する工程であることを特徴とする請求項20記載の薄膜半導体装置の製造方法。

【請求項22】絶縁基板の上に半導体薄膜を形成する工程と、

前記半導体薄膜上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に、陽極酸化可能な第1の金属からなる第1の金属膜を形成する工程と、前記第1の金属膜上にレジストを選択的に形成する工程と、

前記レジストをマスクとして前記第1の金属膜を選択的にエッチング除去して前記第1の金属からなる第2の金属膜を選択的に前記ゲート絶縁膜上に形成する工程と、その後、前記レジストを残したまま、前記第2の金属膜を陽極酸化して、前記第1の金属からなる第1のゲート電極と前記第1のゲート電極の両側の第1および第2の陽極酸化膜とを前記ゲート酸化膜上に形成する工程と、その後、前記レジストを除去する工程と、

その後、第2の金属からなり前記第1のゲート電極よりも幅が広く前記幅の方向において中央部と前記中央部の両側の第1および第2の側部とを備える第2のゲート電極を前記第1のゲート電極上に形成し、前記第2のゲート電極の前記中央部であって前記第1のゲート電極と同じ幅である前記中央部を前記第1のゲート電極の直上に設け、前記第2のゲート電極の前記幅の方向の前記第1の側部および前記第2の側部を前記第1のゲート電極の前記幅の方向における第1の端部の位置および第2の端部の位置から前記幅の方向においてそれぞれ突出させて前記第1の陽極酸化膜および前記第2の陽極酸化膜上に前記第1の側部の外側の端部が前記第1の陽極酸化膜の外側の端部よりも内側となり前記第2の側部の外側の端部が前記第2の陽極酸化膜の外側の端部よりも内側となるようにそれぞれ設ける工程と、

前記第2のゲート電極、前記第1および第2の陽極酸化膜、ならびに前記第1のゲート電極をマスクとして前記半導体薄膜にイオンドーピング法により不純物を導入して、前記第1の陽極酸化膜の外側の前記ゲート絶縁膜の下の前記半導体薄膜に高濃度ドレイン領域用不純物領域を、前記第2のゲート電極の前記第1の側部の外側の前記第1の陽極酸化膜の下の前記半導体薄膜に前記高濃度ドレイン領域用不純物領域よりも低不純物濃度の低濃度ドレイン領域用不純物領域を、前記第2の陽極酸化膜の外側の前記ゲート絶縁膜の下の前記半導体薄膜に高濃度ソース領域用不純物領域を、前記第2のゲート電極の前記第2の側部の外側の前記第2の陽極酸化膜の下の前記半導体薄膜に前記高濃度ソース領域用不純物領域よりも低不純物濃度の低濃度ソース領域用不純物領域をそれぞれ形成する工程と、

を有することを特徴とする薄膜半導体装置の製造方法。

【請求項23】前記第1の金属がタンタルであり、前記第2の金属がアルミニウムであり、前記第1および第2

の陽極酸化膜が酸化タンタル膜であり、前記第3乃至第5の陽極酸化膜が酸化アルミニウム膜であることを特徴とする請求項18または19記載の薄膜半導体装置の製造方法。

【請求項24】前記絶縁基板上に半導体薄膜を形成する前記工程が、前記絶縁基板上に多結晶シリコン薄膜を形成する工程であり、前記半導体薄膜上にゲート絶縁膜を形成する工程が、前記多結晶シリコン薄膜上に化学気相成長法により酸化ケイ素膜を形成する工程であり、前記酸化ケイ素膜の膜厚を t_{ox} (Å)とし、第1の陽極酸化膜の膜厚を t_{TaOx} (Å)とした場合に、

$(a \cdot t_{ox}^2 + b \cdot t_{ox}) \times 1.28 < t_{TaOx}$ 、
 $t_{TaOx} < (a \cdot t_{ox}^2 + b \cdot t_{ox}) \times 3.09$
 (ここで、 $a = -8.8889 \times 10^{-5}$ (Å⁻¹)、 $b = 0.44$ である。)の関係を満たすことを特徴とする請求項23記載の薄膜半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は薄膜半導体装置およびその製造方法に関し、特に多結晶シリコン薄膜を使用した薄膜トランジスタおよびその製造方法に関する。

【0002】

【従来の技術】従来の多結晶シリコン薄膜を使用した薄膜トランジスタでは、ゲート電圧 V_{gs} をオフ側にしてもオフリーク電流が流れてしまうという問題がある。特開平5-166837号公報には、このオフリーク電流を抑制すると共にオン電流の減少を低く抑えた多結晶シリコン薄膜トランジスタとその製造方法が提案されている。

【0003】図6は、この従来の薄膜トランジスタおよびその製造方法を説明するための断面図である。

【0004】まず、基板110上に多結晶シリコン薄膜120、 SiO_2 よりなるゲート絶縁膜130、タンタル膜140を順次積層する。

【0005】次に、タンタル膜140をマスクとして、イオン打ち込み法によりリンイオンを多結晶シリコン薄膜120中に添加し、自己整合的に n^- ドレイン領域122と n^- ソース領域123とを形成する。

【0006】次に、タンタル膜140の表面を陽極酸化法により酸化して、タンタルゲート電極141と酸化タンタル膜150とを形成した後、酸化タンタル膜150をマスクとしてイオン打ち込み法または高エネルギーイオンドーピング法により多結晶シリコン薄膜120にさらにリンイオンを添加し、 n^+ ドレイン領域124と n^+ ソース領域128とを形成する。

【0007】最後に打ち込まれたリンイオンを活性化して薄膜トランジスタ200を形成する。

【0008】この従来の薄膜トランジスタ200では、タンタルゲート電極141とゲート n^+ ドレイン領域124との間にオフセット ΔL が存在するから、ゲート電

圧 V_{gs} を負にバイアスしたときにオフリーク電流を抑制できる。そして、タンタルゲート電極141とゲート n^+ ドレイン領域124との間に n^- ドレイン領域125が存在するから、上記のようにタンタルゲート電極141とゲート n^+ ドレイン領域124との間にオフセット ΔL を設けても、オン電流の減少を低く抑えられる。

【0009】

【発明が解決しようとする課題】しかしながら、この従来の薄膜トランジスタ200を製造するには、イオン打ち込みまたはイオンドーピングを2回行わなければならない、工程が複雑であるという問題があった。更に n^- ソース・ドレイン領域127、125とゲート電極直下のチャネルとの間に出来るオフセット領域 ΔL_2 129がチャネルのオン状態の際に寄生抵抗となってオン電流を低下させるとの問題があった。

【0010】従って、本発明の目的は、一回のイオンドーピングによって製造可能な簡単な構造の薄膜半導体装置であって、オフリーク電流を抑制すると共にオン電流の減少を低く抑えた薄膜半導体装置とその製造方法を提供することにある。

【0011】

【課題を解決するための手段】本発明によれば、絶縁基板上に形成された半導体薄膜と、前記半導体薄膜上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、前記ゲート電極の両側の前記半導体薄膜にそれぞれ形成されたソース領域およびドレイン領域と、を備える薄膜半導体装置において、前記ゲート電極が、前記ゲート絶縁膜上に形成された第1のゲート電極と、前記第1のゲート電極上に形成された第2のゲート電極とを備え、前記第2のゲート電極が、前記第1のゲート電極の直上に前記第1のゲート電極と接して設けられた第1の副ゲート電極と、前記第1のゲート電極の前記ドレイン領域側の端部の位置から前記ドレイン領域側に第1の所定の距離突出して設けられた第2の副ゲート電極とを少なくとも有し、前記ドレイン領域が、前記第1のゲート電極の前記ドレイン領域側の前記端部から第2の所定の距離離間して設けられていることを特徴とする薄膜半導体装置が提供される。

【0012】本発明の薄膜半導体装置においては、まず、ドレイン領域が第1のゲート電極のドレイン領域側の端部から第2の所定の距離離間して設けられており、オフセットゲート構造となっているから、ゲート電圧 V_{gs} をオフ側にしたときにオフリーク電流を抑制できる。また、ソース・ドレイン間耐圧も高くなり、その結果、チャネルの微細化が可能となり、オン抵抗を小さくできて、オン電流を上げることができる。

【0013】さらに、本発明の半導体装置は、第1のゲート電極に加えて、第1のゲート電極上に形成された第2のゲート電極を備え、この第2のゲート電極が、第1のゲート電極の直上に前記第1のゲート電極と接して設

けられた第1の副ゲート電極と、第1のゲート電極のドレイン領域側の端部の位置からドレイン領域側に第1の所定の距離突出して設けられた第2の副ゲート電極とを少なくとも有している。このように第2の副ゲート電極は、ゲート絶縁膜から上方に離れた状態で、第1のゲート電極からドレイン領域側に突出しているから、オン時には、この第2の副ゲート電極によって、第2の副ゲート電極の下の半導体薄膜に弱い電界がかかり、その結果、第2の副ゲート電極の下の半導体薄膜の表面には反転層（チャンネル）ができる。従って、オン時には、第1のゲート電極とドレイン領域との間の抵抗を極めて小さくできて、オフセットゲート構造を採ったことによって生じるオン電流の減少を抑制することができる。一方、オフ時においては、第2の副ゲート電極から半導体薄膜の間に距離が有る為、ドレイン端での電界強度を弱め、それ故オフ電流を低く保ち得る。

【0014】このように、本発明においては、ドレイン領域を第1のゲート電極から離間して設けたオフセットゲート構造とすると共に、この第1のゲート電極上に第2のゲート電極を設け、この第2のゲート電極の一部をドレイン領域側に突出させることによって、ゲート電圧 V_g をオフ側にしたときにオフリーク電流を抑制できると共に、オフセットゲート構造を採ったことによって生じるオン電流の減少を抑制することができる。このような構造の薄膜半導体装置は、ドレイン領域とソース領域とを作成するためのイオン注入を1回行えば製造することができる。

【0015】本発明の薄膜半導体装置においては、第1のゲート電極とドレイン領域との間の半導体薄膜に、ドレイン領域よりも低不純物濃度の低濃度ドレイン領域をさらに備え、この低濃度ドレイン領域を第1のゲート電極から第3の所定の距離離間して設けると共にドレイン領域と電気的に接続して設けることもできる。このような低濃度ドレイン領域を設けると、ドレイン領域を第1のゲート電極からさらに離間させて形成しても、第1のゲート電極とドレイン領域との間の抵抗をこの低濃度ドレイン領域により小さくできる。従って、オン電流の減少をさらに抑制しつつ、ゲート電圧 V_g をオフ側にしたときのオフリーク電流を充分に抑制できる。また、このような低不純物濃度ドレイン領域を設けると、ソース・ドレイン間耐圧を矢張り高くすることができ、その結果、チャンネルの微細化が可能となり、オン抵抗をさらに小さくできて、オン電流をさらに上げることができる。

【0016】本発明の薄膜半導体装置は、半導体薄膜が多結晶シリコンからなる半導体薄膜であるときに、特に好ましく適用される。

【0017】また、好ましくは、第1のゲート電極を第1の金属から構成し、第2のゲート電極を第2の金属から構成し、この第1の金属とこの第2の金属とを異なった種類の金属とする。このようにすれば、第1の金属と

第2の金属の格子定数や結晶構造が互いに異なってくることになり、これら2つの金属を上下に積層したゲート電極はイオン注入のマスク性に優れるようになる。その結果、ゲート電極全体の膜厚を薄くできて、その上に形成するデータ線等の断線が生じにくくなる。

【0018】また、好ましくは、第1のゲート電極を第1の金属から構成し、第2のゲート電極を第2の金属から構成し、この二つの金属に依りゲート電極と同時にゲート線（走査線）をも形成する。更にこの第1の金属のエッチング特性と、第2の金属とのエッチング特性とを異なったものとする。このようにエッチング特性の異なる金属の2層構造とすることにより、一方の金属が断線しても他方の金属が導通する為ゲート線が製造時に断線しづらくなる。

【0019】また、好ましくは、第1のゲート電極を第1の金属から構成し、第2のゲート電極を第2の金属から構成し、この第1の金属を陽極酸化可能な金属とする。このように、第1の金属を陽極酸化可能な金属とすることによって、第1の金属の上面をレジストや他の金属等によって覆った状態で陽極酸化すれば、第1の金属の側面に形成される陽極酸化膜の上面と第1の金属の上面とがほぼ同じ高さになる。その結果、第1の金属上および陽極酸化膜上に第2の金属からなる第2のゲート電極を形成すれば、第2のゲート電極を第1のゲート電極から突出させた状態に容易に形成できるようになる。また、第1の金属の側面に形成される陽極酸化膜の幅、すなわち、第1の金属の端部から陽極酸化膜の外側の端部までの距離の制御も容易となり、その結果、この陽極酸化膜をマスクとして半導体薄膜中にイオン打ち込みやイオンドーピング等のイオン注入法を行ってドレイン領域を形成した場合に、第1の金属からなるゲート電極とドレイン領域との間の距離の制御が容易となる。

【0020】また、好ましくは、第1のゲート電極を第1の金属から構成し、第2のゲート電極を第2の金属から構成し、この第1の金属を陽極酸化可能な金属とし、第2の金属を陽極酸化可能な金属とし、そして、第1の金属の陽極酸化速度を第2の金属の陽極酸化速度よりも大きくする。ここで陽極酸化速度が速いとは同じ電圧を印加した時に出来上る陽極酸化膜が厚いと言う意味で有る。

【0021】このようにすれば、第1の金属上に第1の金属と同じ形状の第2の金属を積層した金属積層体を陽極酸化することによって、第1の金属からなる第1のゲート電極と、この第1のゲート電極の両側の第1の金属の陽極酸化膜と、第2の金属からなる第2のゲート電極と、第2のゲート電極の上面および両側の第2の金属の陽極酸化膜とが形成され、第2のゲート電極は第1のゲート電極よりも幅が広くて第1のゲート電極の両側に突出し、その突出した部分は第1の金属の陽極酸化膜上に位置するが、第1の金属の両側の陽極酸化膜の端部の方

が、第2のゲート電極の両側の第2の金属の陽極酸化膜の端部よりもそれぞれ外側となる。

【0022】従って、その後、これら第1のゲート電極と、第1のゲート電極の両側の第1の金属の陽極酸化膜と、第2のゲート電極と、第2のゲート電極の上面および両側の第2の金属の陽極酸化膜とをマスクにして、イオン打ち込みやイオンドーピングにより不純物を半導体薄膜に導入して不純物領域を形成すると、第1の金属の陽極酸化膜の外側の半導体薄膜には高濃度ドレイン領域用不純物領域が形成され、第2の金属の陽極酸化膜の外側とこの高濃度ドレイン領域との間の半導体薄膜には低濃度ドレイン領域用不純物領域が形成され、第1のゲート電極からこの低濃度ドレイン領域用不純物領域の近傍まで第2のゲート電極が突出して第1の金属の陽極酸化膜上に形成される。そして、その後、熱処理等により不純物を活性化すると、高濃度ドレイン領域用不純物領域が高濃度ドレイン領域となり、低濃度ドレイン領域用不純物領域が低濃度ドレイン領域となる。

【0023】このように高濃度ドレイン領域が第1の金属の陽極酸化膜の外側に形成されるから、第1のゲート電極との間でオフセットゲート構造となり、ゲート電圧 V_g をオフ側にしたときのオフリーク電流を抑制でき、また、ソース・ドレイン間耐圧も高くなり、その結果、チャネルの微細化が可能となり、オン抵抗を小さくできて、オン電流を上げることができる。

【0024】また、第2の金属の陽極酸化膜の外側とこの高濃度ドレイン領域との間の半導体薄膜には低濃度ドレイン領域が形成されるから、オン電流の減少を抑制できる。

【0025】また、第1のゲート電極から低濃度ドレイン領域の近傍まで第2のゲート電極が突出して第1の金属の陽極酸化膜上に形成されているから、オン時には、この第2のゲート電極のドレイン領域側に突出した部分によって、第2のゲート電極のドレイン領域側に突出した部分の下半導体薄膜に弱い電界がかかり、その結果、第2のゲート電極のドレイン領域側に突出した部分の下半導体薄膜の表面には反転層が生じる。従って、オン時には、第1のゲート電極とドレイン領域との間の抵抗を小さくできて、オフセットゲート構造を採ったことによって生じるオン電流の減少を抑制することができる。一方、オフ時においては、第2のゲート電極のドレイン領域側に突出した部分の下に存在する第1の金属の陽極酸化膜とゲート絶縁膜の為にドレイン端での電界強度が弱まり、オフ電流は低下する。

【0026】このように、第1のゲート電極を第1の金属から構成し、第2のゲート電極を第2の金属から構成し、この第1の金属を陽極酸化可能な金属とし、第2の金属を陽極酸化可能な金属とし、そして、第1の金属の陽極酸化速度を第2の金属の陽極酸化速度よりも大きくすることにより、上述のように優れた特性を持つ薄膜半

導体装置を、1回の陽極酸化と1回のイオン打ち込みやイオンドーピングによる半導体薄膜への不純物導入により形成できる。また、第1のゲート電極と高濃度ドレイン領域との間のオフセット量、低濃度ドレイン領域の幅、第2のゲート電極のドレイン領域側への突出量等は、陽極酸化条件により制御されるので、精度よく制御可能である。

【0027】なお、陽極酸化前に形成する第1の金属上に第1の金属と同じ形状の第2の金属を積層した金属積層体は、第1の金属からなる膜と第2の金属からなる膜とをまず連続して形成し、その後、単一のレジストを使用して第1の金属からなる膜と第2の金属からなる膜とを連続してエッチング除去することにより容易に形成できる。

【0028】また、このように、第1のゲート電極と、この第1のゲート電極の両側の第1の金属の陽極酸化膜と、第1のゲート電極上の第2のゲート電極と、第2のゲート電極の上面および両側の第2の金属の陽極酸化膜とが形成され、第2のゲート電極は第1のゲート電極よりも幅が広くて第1のゲート電極の両側に突出し、その突出した部分は第1の金属の陽極酸化膜上に位置するが、第1の金属の両側の陽極酸化膜の端部の方が、第2のゲート電極の両側の第2の金属の陽極酸化膜の端部よりもそれぞれ外側となっており、階段状となるので、これらの上に形成するデータ線等の断線が生じにくくなる。

【0029】さらに、好ましくは、この第1の金属をタンタルとし、第2の金属をアルミニウムとする。

【0030】このようにすれば、タンタルとアルミニウムの格子定数や結晶構造が互いに異なっているので、これら2つの金属を上下に積層したゲート電極はイオン注入時のマスク性に優れるようになる。その結果、ゲート電極全体の膜厚を薄くできて、その上に形成するデータ線等の断線が生じにくくなる。

【0031】また、タンタルのエッチング特性とアルミニウムのエッチング特性とが異なるから、エッチング特性の異なる2種の金属の2層構造となるゲート電極は、製造時に断線しづらくなる。

【0032】さらに、タンタルの上に電気抵抗の低いアルミニウムを使用しているから、ゲート電極（ゲート線）全体の抵抗が低くなる。

【0033】また、アルミニウムを陽極酸化するとその表面が酸化アルミニウムによって覆われることになる。このように、酸化アルミニウムによってアルミニウムの表面が覆われていると、その後イオン注入する際にもイオン注入のマスクとしてアルミニウムを使用できるようになる。C-MOS構造をイオン注入装置を使用して製造する場合には、一方の導電型の不純物を打ち込む際には、他方の導電型の不純物が打ち込まれる領域をマスクしておく必要がある。イオン注入の場合には、通常この

ようなマスクとしてレジストが用いられる。しかしながら、質量分離を用いないイオンドーピングでは大量のイオンを打ち込むことになるからドーピング時に温度が高くなり、レジストをイオンドーピングのマスクとして使用するのは困難である。又、質量分離を用いるイオン注入法でも基板温度を200℃程度から400℃程度に高く保った状態でイオン注入を行うと、注入後のイオンの活性化が350℃程度以下の低温で行う事が可能になる。この場合もレジストをマスクとする事は出来ない。このような場合にレジストに代えて使用するに適して居る物はアルミニウムである。アルミニウムならばドーピング時に達する300℃程度の温度にも十分耐え、かつ、ドーピング時の電荷をいち速く接地に逃がし得るからである。所がゲートにアルミニウムを使用し、イオンドーピングのマスクとしてアルミニウムを使用すると、イオンドーピングのマスクのパターニング時にゲート電極のアルミニウムもエッチングされてしまうから、ゲートにアルミニウムを使用した場合には、イオンドーピングのマスクとしてアルミニウムを使用することは困難であった。しかしながら、このように、酸化アルミニウムによってゲート電極のアルミニウムの表面を覆っていると、その後イオンドーピングのマスクをパターニングする際にも、酸化アルミニウムの下のアルミニウムはエッチングされないから、アルミニウムをイオンドーピングのマスクとして使用できるようになる。

【0034】また、酸化アルミニウムによってゲート電極のアルミニウムの表面が覆われていると、その上に形成されるデータ線等にもアルミニウムが使用できるようになり、ゲート線およびデータ線の両方の配線抵抗が小さくなるから、素子全体の配線抵抗を小さくすることができる。

【0035】さらに、酸化アルミニウムによってアルミニウムの表面が覆われていると、その後の加熱工程を経てもアルミニウムのヒロックが生じにくくなる。

【0036】また、第1の金属がタンタルであると、ゲート絶縁膜が化学気相成長法で作成された絶縁膜である場合に特に有効である。すなわち、薄膜半導体を低温プロセスで製造する場合には、ゲート絶縁膜は、好ましくは、化学気相成長法で作成されるが、このように化学気相成長法で作成したゲート絶縁膜は熱酸化膜に比べて膜質が劣り、そのようなゲート絶縁膜上にアルミニウムをスパッタ等により形成してゲート電極を作成すると、アルミニウムが絶縁膜中に入り、閾値(V_{th})等のトランジスタ特性が変動してしまう。それに対して、ゲート電極の下側の電極にタンタルを使用すると、化学気相成長法で作成したゲート絶縁膜上にゲート電極を形成しても閾値(V_{th})等のトランジスタ特性がほとんど変動することはなく、優れた特性の薄膜トランジスタが安定して製造できる。

【0037】また、本発明によれば、絶縁基板上に形成

された半導体薄膜と、前記半導体薄膜上に化学気相成長法で形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたタンタルからなる第1のゲート電極と、タンタルを陽極酸化して前記第1のゲート電極の両側にそれぞれ形成された第1および第2の酸化タンタル膜と、アルミニウムからなる第2のゲート電極であって、前記第2のゲート電極の幅が前記第1のゲート電極の幅よりも大きく、前記第2のゲート電極が前記幅の方向において中央部と前記中央部の両側の第1および第2の側部とを備え、前記第2のゲート電極の前記中央部が前記第1のゲート電極と同じ幅であり、前記中央部が前記第1のゲート電極の直上に前記第1のゲート電極と接して設けられ、前記第2のゲート電極の両側の前記第1および第2の側部が前記第1のゲート電極の前記幅の方向における第1の端部の位置および第2の端部の位置から第1および第2の所定の距離それぞれ突出して前記第1および第2の酸化タンタル膜上にそれぞれ設けられた前記第2のゲート電極と、アルミニウムが陽極酸化されて、前記第2のゲート電極の上面および側面に前記第2のゲート電極を覆って形成された酸化アルミニウム膜と、前記第1のゲート電極から第3の所定の距離離間して前記半導体薄膜に設けられたドレイン領域と、前記第1のゲート電極に対して、前記ドレイン領域と反対側の前記半導体薄膜に設けられたソース領域と、を備えることを特徴とする薄膜半導体装置が提供される。

【0038】このような構造の薄膜半導体装置は、ドレイン領域とソース領域とを作成するためのイオン注入を1回行えば製造することができる。

【0039】本発明においては、半導体薄膜上に化学気相成長法で形成されたゲート絶縁膜とを備え、このゲート絶縁膜上にタンタルからなる第1のゲート電極を形成している。従って、化学気相成長法で作成したゲート絶縁膜上にゲート電極を形成しても閾値(V_{th})等のトランジスタ特性がほとんど変動することはなく、優れた特性の薄膜トランジスタが安定して製造できる。

【0040】また、このタンタルのゲート電極上にアルミニウムからなる第2のゲート電極を備えている。従って、タンタルとアルミニウムとの間の格子定数や結晶構造の違いにより、これら2つの金属を上下に積層したゲート電極はイオン注入のマスク性に優れ、その結果、ゲート電極全体の膜厚を薄くできて、その上に形成するデータ線等の断線が生じにくくなる。また、タンタルのエッチング特性とアルミニウムのエッチング特性とが異なるから、エッチング特性の異なる2種の金属の2層構造となるゲート電極は、製造時に断線しづらくなる。さらに、タンタルの上に電気抵抗の低いアルミニウムを使用しているから、ゲート電極(ゲート線)全体の抵抗が低くなる。

【0041】また、アルミニウムが陽極酸化されて、この第2のゲート電極の上面および側面に第2のゲート電

極を覆って形成された酸化アルミニウム膜を備えているから、基板温度が高くなるイオン注入する際にもイオン注入のマスクとしてアルミニウムを使用できるようになる。また、酸化アルミニウムによってゲート電極のアルミニウムの表面が覆われていると、その上に形成されるデータ線等にもアルミニウムが使用できるようになり、素子全体の配線抵抗を小さくすることができる。さらに、酸化アルミニウムによってアルミニウムの表面が覆われていると、その後の加熱工程を経てもアルミニウムのヒロックが生じにくくなる。

【0042】また、第1のゲート電極から第3の所定の距離離間して半導体薄膜に設けられたドレイン領域を備えているから、オフセットゲート構造となり、ゲート電圧 V_{gs} をオフ側にしたときにオフリーク電流を著しく抑制でき、また、ソース・ドレイン間耐圧も高くなり、その結果、チャネルの微細化が可能となり、オン抵抗を小さくできて、オン電流を上げることができる。

【0043】さらに、第1のゲート電極上に形成された第2のゲート電極の第1の側部が第1のゲート電極からドレイン領域側に第1の所定の距離突出して第1の酸化タンタル膜上に設けられているから、オン時には、この突出した第2のゲート電極の第1の側部によって、第2のゲート電極の第1の側部の下の半導体薄膜に弱い電界がかかり、その結果、この半導体薄膜の表面には反転層（チャンネル）ができる。従って、オン時には、第1のゲート電極とドレイン領域との間の抵抗を小さくできて、オフセットゲート構造を採ったことによって生じるオン電流の減少を抑制することができる。一方、オフ時には、ドレイン端の電界が弱くなるのでオフ電流を低くして居る。

【0044】この薄膜半導体装置においても、第1のゲート電極とドレイン領域との間の半導体薄膜に、ドレイン領域よりも低不純物濃度の低濃度ドレイン領域をさらに備え、この低濃度ドレイン領域を第1のゲート電極から第4の所定の距離離間して設けると共にドレイン領域と電気的に接続して設けることもできる。このような低濃度ドレイン領域を設けると、ドレイン領域を第1のゲート電極からさらに離間させて形成しても、第1のゲート電極とドレイン領域との間の抵抗をこの低濃度ドレイン領域により小さくできる。従って、オン電流の減少をさらに抑制しつつ、ゲート電圧 V_{gs} をオフ側にしたときのオフリーク電流を十分に抑制できる。また、このような低濃度ドレイン領域を設けると、ソース・ドレイン間耐圧を高くすることができ、その結果、チャネルの微細化が可能となり、オン抵抗をさらに小さくできて、オン電流をさらに上げることができる。

【0045】また、本発明によれば、絶縁基板上に形成された半導体薄膜と、前記半導体薄膜上に化学気相成長法で形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたタンタルからなる第1のゲート電極と、タン

タルを陽極酸化して前記第1のゲート電極の両側にそれぞれ形成された第1および第2の酸化タンタル膜と、アルミニウムからなる第2のゲート電極であって、前記第2のゲート電極の幅が前記第1のゲート電極の幅よりも大きく、前記第2のゲート電極が前記幅の方向において中央部と前記中央部の両側の第1および第2の側部とを備え、前記第2のゲート電極の前記中央部が前記第1のゲート電極と同じ幅であり、前記中央部が前記第1のゲート電極の直上に前記第1のゲート電極と接して設けられ、前記第2のゲート電極の両側の前記第1および第2の側部が前記第1のゲート電極の前記幅の方向における第1の端部の位置および第2の端部の位置から第1および第2の所定の距離それぞれ突出して前記第1および第2の酸化タンタル膜上にそれぞれ設けられた前記第2のゲート電極と、アルミニウムが陽極酸化されて、前記第2のゲート電極の上面および側面に前記第2のゲート電極を覆って形成された酸化アルミニウム膜と、前記第1のゲート電極から第3の所定の距離離間して前記半導体薄膜に設けられた高濃度ドレイン領域と、前記第1のゲート電極と前記高濃度ドレイン領域との間の前記半導体薄膜に形成され、前記高濃度ドレイン領域よりも低不純物濃度の低濃度ドレイン領域であって、前記第1のゲート電極から第4の所定の距離離間して設けられると共に前記高濃度ドレイン領域と接して形成された前記低濃度ドレイン領域と、前記第1のゲート電極に対して前記高濃度ドレイン領域と反対側の前記半導体薄膜に、前記第1のゲート電極から第5の所定の距離離間して設けられた高濃度ソース領域と、前記第1のゲート電極と前記高濃度ソース領域との間の前記半導体薄膜に形成され、前記高濃度ソース領域よりも低不純物濃度の低濃度ソース領域であって、前記第1のゲート電極から第6の所定の距離離間して形成されると共に、前記高濃度ソース領域と接して形成された低濃度ソース領域と、を備えることを特徴とする薄膜半導体装置が提供される。

【0046】この構造の薄膜半導体装置においても、半導体薄膜上に化学気相成長法で形成されたゲート絶縁膜とを備え、このゲート絶縁膜上にタンタルからなる第1のゲート電極を形成している。従って、化学気相成長法で作成したゲート絶縁膜上にゲート電極を形成しても閾値（ V_{th} ）等のトランジスタ特性がほとんど変動することはなく、優れた特性の薄膜トランジスタが安定して製造できる。

【0047】また、このタンタルのゲート電極上にアルミニウムからなる第2のゲート電極を備えている。従って、タンタルとアルミニウムとの間の格子定数や結晶構造の違いにより、これら2つの金属を上下に積層したゲート電極はイオン注入のマスク性に優れ、その結果、ゲート電極全体の膜厚を薄くできて、その上に形成するデータ線等の断線が生じにくくなる。また、タンタルのエッチング特性とアルミニウムのエッチング特性とが異なる

るから、エッチング特性の異なる2種の金属の2層構造となるゲート電極は、製造時に断線しづらくなる。さらに、タンタルの上に電気抵抗の低いアルミニウムを使用しているから、ゲート電極（ゲート線）全体の抵抗が低くなる。

【0048】また、アルミニウムが陽極酸化されて、この第2のゲート電極の上面および側面に第2のゲート電極を覆って形成された酸化アルミニウム膜を備えているから、高温でのイオン注入する際にもイオン注入のマスクとしてアルミニウムを使用できるようになる。また、酸化アルミニウムによってゲート電極のアルミニウムの表面が覆われていると、その上に形成されるデータ線等にもアルミニウムが使用できるようになり、素子全体の配線抵抗を小さくすることができる。さらに、酸化アルミニウムによってアルミニウムの表面が覆われていると、その後の加熱工程を経てもアルミニウムのヒロックが生じにくくなる。

【0049】また、第1のゲート電極から第3の所定の距離間隔して半導体薄膜に設けられた高濃度ドレイン領域を備えているから、オフセットゲート構造となり、ゲート電圧 V_{gs} をオフ側にしたときにオフリーク電流を抑制でき、また、ソース・ドレイン間耐圧も高くなり、その結果、チャネルの微細化が可能となり、オン抵抗を小さくできて、オン電流を上げることができる。

【0050】さらに、第1のゲート電極上に形成された第2のゲート電極の第1の側部が第1のゲート電極から高濃度ドレイン領域側に第1の所定の距離突出して第1の酸化タンタル膜上に設けられているから、オン時には、この突出した第2のゲート電極の第1の側部によって、第2のゲート電極の第1の側部の下の半導体薄膜に弱い電界がかかり、その結果、この半導体薄膜の表面には反転層（チャネル）ができる。従って、オン時には、第1のゲート電極と高濃度ドレイン領域との間の抵抗を小さくできて、オフセットゲート構造を採ったことによって生じるオン電流の減少を抑制することができる。一方、オフ時においては、ドレイン端の電界強度を弱め、オフ電流を低くする。

【0051】この薄膜半導体装置においては、さらに、第1のゲート電極と高濃度ドレイン領域との間の半導体薄膜に、高濃度ドレイン領域よりも低不純物濃度の低濃度ドレイン領域をさらに備え、この低濃度ドレイン領域を第1のゲート電極から第4の所定の距離間隔して設けると共に高濃度ドレイン領域と接して設けているから、高濃度ドレイン領域を第1のゲート電極から離間させて形成しても、第1のゲート電極と高濃度ドレイン領域との間の抵抗をこの低濃度ドレイン領域により小さくできる。従って、オン電流の減少を抑制しつつ、ゲート電圧 V_{gs} をオフ側にしたときのオフリーク電流を充分に抑制できる。また、このような低濃度ドレイン領域を設けると、ソース・ドレイン間耐圧を高くすることができ、そ

の結果、チャネルの微細化が可能となり、オン抵抗をさらに小さくできて、オン電流をさらに上げることができる。

【0052】好ましくは、この高濃度ドレイン領域がゲート絶縁膜の下の半導体薄膜に形成され、低濃度ドレイン領域が第1の酸化タンタル膜およびゲート絶縁膜の下の半導体薄膜に形成され、半導体薄膜が多結晶シリコン薄膜であり、ゲート絶縁膜が化学気相成長法により形成された酸化ケイ素膜であり、酸化ケイ素膜の膜厚を t_{ox} （Å）とし、第1の酸化タンタル膜の膜厚を t_{TaOx} （Å）とした場合に、

$$(a \cdot t_{ox}^2 + b \cdot t_{ox}) \times 1.28 < t_{TaOx} \text{、} \\ t_{TaOx} < (a \cdot t_{ox}^2 + b \cdot t_{ox}) \times 3.09$$

（ここで、 $a = -8.8889 \times 10^{-5} \text{ (Å}^{-1}\text{)}$ 、 $b = 0.44$ である。）の関係を満たしている。

【0053】酸化ケイ素膜からなるゲート絶縁膜の膜厚と、第1の酸化タンタル膜の膜厚とが上記関係を満たしていると、これらの膜を通してイオン注入法により高濃度ドレイン領域及び低濃度ドレイン領域を形成した場合に、実用上優れた構造の薄膜半導体装置が製造される。 t_{TaOx} が $(a \cdot t_{ox}^2 + b \cdot t_{ox}) \times 1.28$ よりも小さいと、低濃度ドレイン領域の不純物濃度が高くなりすぎて、ゲート電圧 V_{gs} をオフ側にしたときのオフリーク電流が流れてしまう。また、 t_{TaOx} が $(a \cdot t_{ox}^2 + b \cdot t_{ox}) \times 3.09$ よりも大きいと、低濃度ドレイン領域の不純物濃度が低くなりすぎて、オン電流が小さくなりすぎてしまう。

【0054】また、本発明によれば、絶縁基板上に形成された半導体薄膜と、前記半導体薄膜上に化学気相成長法で形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたタンタルからなる第1のゲート電極と、前記第1のゲート電極上に形成されたアルミニウムからなる第2のゲート電極と、前記第1のゲート電極の両側の前記半導体薄膜に形成されたドレイン領域およびソース領域と、を備えることを特徴とする薄膜半導体装置が提供される。

【0055】この構造の薄膜半導体装置においては、半導体薄膜上に化学気相成長法で形成されたゲート絶縁膜とを備え、このゲート絶縁膜上にタンタルからなる第1のゲート電極を形成している。従って、化学気相成長法で作成したゲート絶縁膜上にゲート電極を形成しても閾値（ V_{th} ）等のトランジスタ特性がほとんど変動することではなく、優れた特性の薄膜トランジスタが安定して製造できる。

【0056】また、このタンタルのゲート電極上にアルミニウムからなる第2のゲート電極を備えている。従って、タンタルとアルミニウムとの間の格子定数や結晶構造の違いにより、これら2つの金属を上下に積層したゲート電極はイオン注入のマスク性に優れ、その結果、ゲート電極全体の膜厚を薄くできて、その上に形成するデ

ータ線等の断線が生じにくくなる。また、タンタルのエッチング特性とアルミニウムのエッチング特性とが異なるから、エッチング特性の異なる2種の金属の2層構造となるゲート電極は、製造時に断線しづらくなる。さらに、タンタルの上に電気抵抗の低いアルミニウムを使用しているから、ゲート電極（ゲート線）全体の抵抗が低くなる。

【0057】この薄膜半導体装置においては、好ましくは、タンタルが陽極酸化されて、第1のゲート電極の両側に形成された酸化タンタル膜と、アルミニウムが陽極酸化されて、第2のゲート電極の上面および側面に第2のゲート電極を覆って形成された酸化アルミニウム膜とをさらに備える。

【0058】このように、アルミニウムが陽極酸化されて、この第2のゲート電極の上面および側面に第2のゲート電極を覆って形成された酸化アルミニウム膜を備えているから、高温でのイオン注入する際にもイオン注入のマスクとしてアルミニウムを使用できるようになる。また、酸化アルミニウムによってゲート電極のアルミニウムの表面が覆われていると、その上に形成されるデータ線等にもアルミニウムが使用できるようになり、素子全体の配線抵抗を小さくすることができる。さらに、酸化アルミニウムによってアルミニウムの表面が覆われていると、その後の加熱工程を経てもアルミニウムのヒロックが生じにくくなる。

【0059】また、本発明によれば、絶縁基板上に半導体薄膜を形成する工程と、前記半導体薄膜上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に第1のゲート電極を形成し、前記第1のゲート電極よりも幅が広く前記幅の方向において中央部と前記中央部の両側の第1および第2の側部とを備える第2のゲート電極を前記第1のゲート電極上に形成して、前記第2のゲート電極の前記中央部であって前記第1のゲート電極と同じ幅である前記中央部を前記第1のゲート電極の直上に設け、前記第2のゲート電極の前記幅の方向の前記第1の側部および前記第2の側部を前記第1のゲート電極の前記幅の方向における第1の端部の位置および第2の端部の位置から前記幅の方向においてそれぞれ突出させる工程と、前記第2のゲート電極および前記第1のゲート電極をマスクとして、前記半導体薄膜にイオン注入法により不純物を導入して、前記第2のゲート電極の両側の前記半導体薄膜にソース領域用不純物領域とドレイン領域用不純物領域とをそれぞれ形成する工程と、を有することを特徴とする薄膜半導体装置の製造方法が提供される。

【0060】本製造方法においては、第1のゲート電極上に第2のゲート電極を形成し、この第2のゲート電極の第1の側部を第1のゲート電極から突出させ、そして、これら第1のゲート電極および第2のゲート電極をマスクとして、半導体薄膜にイオン注入法により不純物を導入して、ドレイン領域用不純物領域を形成してい

る。従って、このドレイン領域用不純物領域は、第1のゲート電極とは離間して形成されることになる。そして、このドレイン領域用不純物領域は、その後、活性化されてドレイン領域となるから、最終的な薄膜半導体装置においては、ドレイン領域が第1のゲート電極と離間したオフセットゲート構造となっている。従って、ゲート電圧 V_{gs} をオフ側にしたときにオフリーク電流を抑制できる。また、ソース・ドレイン間耐圧も高くなり、その結果、チャネルの微細化が可能となり、オン抵抗を小さくできて、オン電流を上げることができる。

【0061】また、第1のゲート電極上に第2のゲート電極を形成し、この第2のゲート電極の第1の側部を第1のゲート電極から突出させているから、オン時には、この第2のゲート電極の第1の側部によって、第2のゲート電極の第1の側部の下の半導体薄膜に弱い電界がかかり、その結果、第2のゲート電極の第1の側部の下の半導体薄膜の表面には反転層（チャンネル）ができる。従って、オン時には、第1のゲート電極とドレイン領域との間の抵抗を小さくできて、オフセットゲート構造を採ったことによって生じるオン電流の減少を抑制することができる。一方、オフ時には、ドレイン端の電界強度を弱め、オフ電流を小さくする。

【0062】このように、本製造方法においては、ドレイン領域を第1のゲート電極から離間して設けたオフセットゲート構造とすると共に、この第1のゲート電極上に第2のゲート電極が設けられ、この第2のゲート電極の第1の側部をドレイン領域側に突出させることによって、ゲート電圧 V_{gs} をオフ側にしたときにオフリーク電流を抑制できると共に、オフセットゲート構造を採ったことによって生じるオン電流の減少を抑制することができる薄膜半導体装置を、ドレイン領域とソース領域とを作成するためのイオン注入を1回行えば製造することができる。

【0063】また、本発明によれば、絶縁基板上に半導体薄膜を形成する工程と、前記半導体薄膜上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に第1のゲート電極および前記第1のゲート電極の両側の第1および第2の絶縁膜をそれぞれ形成し、前記第1のゲート電極よりも幅が広く前記幅の方向において中央部と前記中央部の両側の第1および第2の側部とを備える第2のゲート電極を前記第1のゲート電極上に形成して、前記第2のゲート電極の前記中央部であって前記第1のゲート電極と同じ幅である前記中央部を前記第1のゲート電極の直上に設け、前記第2のゲート電極の前記幅の方向の前記第1の側部および前記第2の側部を前記第1のゲート電極の前記幅の方向における第1の端部の位置および第2の端部の位置から前記幅の方向においてそれぞれ突出させて前記第1の絶縁膜および前記第2の絶縁膜上に前記第1の側部の外側の端部が前記第1の絶縁膜の外側の端部よりも内側となり前記第2の側部の外側の端部が

前記第2の絶縁膜の外側の端部よりも内側となるようにそれぞれ設ける工程と、前記第2のゲート電極、前記第1および第2の絶縁膜ならびに前記第1のゲート電極をマスクとして前記半導体薄膜にイオン注入法により不純物を導入して、前記第1の絶縁膜の外側の前記ゲート絶縁膜の下の前記半導体薄膜に高濃度ドレイン領域用不純物領域を、前記第2のゲート電極の外側の前記第1の絶縁膜の下の前記半導体薄膜に前記高濃度ドレイン領域よりも低不純物濃度の低濃度ドレイン領域用不純物領域を、前記第2の絶縁膜の外側の前記ゲート絶縁膜の下の前記半導体薄膜に高濃度ソース領域用不純物領域を、前記第2のゲート電極の外側の前記第2の絶縁膜の下の前記半導体薄膜に前記高濃度ソース領域よりも低不純物濃度の低濃度ソース領域用不純物領域をそれぞれ形成する工程と、を有することを特徴とする薄膜半導体装置の製造方法が提供される。

【0064】本製造方法においては、ゲート絶縁膜上に第1のゲート電極および第1のゲート電極の両側の第1および第2の絶縁膜をそれぞれ形成し、この第1のゲート電極よりも幅が広い第2のゲート電極を第1のゲート電極上に形成し、第2のゲート電極の第1の側部を第1のゲート電極から突出させて第1の絶縁膜上に第1の側部の外側の端部が第1の絶縁膜の外側の端部よりも内側となるように設け、そして、この第2のゲート電極、第1の絶縁膜および第1のゲート電極をマスクとして半導体薄膜にイオンドーピング法により不純物を導入して、第1の絶縁膜の外側のゲート絶縁膜の下の半導体薄膜に高濃度ドレイン領域用不純物領域を、第2のゲート電極の外側の第1の絶縁膜の下の半導体薄膜に高濃度ドレイン領域よりも低不純物濃度の低濃度ドレイン領域用不純物領域をそれぞれ形成している。また、これら、高濃度ドレイン領域用不純物領域および低濃度ドレイン領域用不純物領域は、その後、熱処理等により活性化されて、それぞれ、高濃度ドレイン領域および低濃度ドレイン領域となる。

【0065】従って、このようにして製造される薄膜半導体装置においては、高濃度ドレイン領域が第1のゲート電極と離間したオフセットゲート構造となっているから、ゲート電圧 V_{gs} をオフ側にしたときにオフリーク電流を抑制できる。また、ソース・ドレイン間耐圧も高くなり、その結果、チャネルの微細化が可能となり、オン抵抗を小さくできて、オン電流を上げることができる。

【0066】また、第1のゲート電極と高濃度ドレイン領域との間の半導体薄膜には低濃度ドレイン領域が形成されるから、オン電流の減少を抑制でき、さらに、ソース・ドレイン間耐圧を高くすることができ、その結果、チャネルの微細化が可能となり、オン抵抗をさらに小さくできて、オン電流をさらに上げることができる。

【0067】また、第1のゲート電極上に第2のゲート電極を形成し、この第2のゲート電極の第1の側部を第

1のゲート電極から突出させて第1の絶縁膜上に形成しているから、オン時には、この第2のゲート電極の第1の側部によって、第2のゲート電極の第1の側部の下の半導体薄膜に弱い電界がかかり、その結果、第2のゲート電極の第1の側部の下の半導体薄膜の表面には反転層（チャンネル）ができる。従って、オン時には、第1のゲート電極と高濃度ドレイン領域との間の抵抗を小さくできて、オフセットゲート構造を採ったことによって生じるオン電流の減少を抑制することができる。一方、オフ時には、ドレイン端の電界を弱めオフ電流を低く出来る。

【0068】また、本製造方法においては、ゲート絶縁膜上に第1のゲート電極および第1のゲート電極の両側の第1および第2の絶縁膜をそれぞれ形成し、第1のゲート電極よりも幅が広い第2のゲート電極を第1のゲート電極上に形成し、第2のゲート電極の第1の側部および第2の側部を、第1の絶縁膜および第2の絶縁膜上に第1の側部の外側の端部が第1の絶縁膜の外側の端部よりも内側となり第2の側部の外側の端部が第2の絶縁膜の外側の端部よりも内側となるようにそれぞれ設けているから、階段状となり、これらの上に形成するデータ線等の断線が生じにくくなる。

【0069】本製造方法においては、上記のような優れた特性の薄膜半導体装置を1回のイオン注入により製造することができる。

【0070】本発明によれば、絶縁基板上に半導体薄膜を形成する工程と、前記半導体薄膜上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に、陽極酸化可能な第1の金属からなる第1の金属膜と、陽極酸化可能であり前記第1の金属よりも陽極酸化速度が小さい第2の金属からなる第2の金属膜であって前記第1の金属膜と実質的に同じ幅で前記第1の金属膜上に積層された第2の金属膜とからなる金属膜積層体を形成する工程と、前記金属膜積層体を陽極酸化して、前記第1の金属からなる第1のゲート電極と前記第1のゲート電極の両側の第1および第2の陽極酸化膜とを前記ゲート絶縁膜上に形成し、前記第2の金属からなり前記第1のゲート電極よりも幅が広く前記幅の方向において中央部と前記中央部の両側の第1および第2の側部とを備える第2のゲート電極を、前記第2のゲート電極の前記中央部であって前記第1のゲート電極と同じ幅である前記中央部を前記第1のゲート電極の直上とし、前記第2のゲート電極の前記幅の方向の前記第1の側部および前記第2の側部を前記第1のゲート電極の前記幅の方向における第1の端部の位置および第2の端部の位置から前記幅の方向においてそれぞれ突出させて前記第1の陽極酸化膜および前記第2の陽極酸化膜上にそれぞれ位置するようにして、前記第1のゲート電極上に形成し、前記第2のゲート電極の前記第1の側部上、前記中央部上および前記第2の側部上に第3の陽極酸化膜を形成し、前記第2のゲート電

極の前記第1の側部の外側の側面に第4の陽極酸化膜を前記第4の陽極酸化膜の外側の端部が前記第1の陽極酸化膜の外側の端部よりも内側となるように形成し、前記第2のゲート電極の前記第2の側部の外側の側面に第5の陽極酸化膜を前記第5の陽極酸化膜の外側の端部が前記第2の陽極酸化膜の外側の端部よりも内側となるように形成する工程と、前記第2のゲート電極、前記第3乃至第5の陽極酸化膜、前記第1および第2の陽極酸化膜、ならびに前記第1のゲート電極をマスクとして前記半導体薄膜にイオン注入法により不純物を導入して、前記第1の陽極酸化膜の外側の前記ゲート絶縁膜の下の前記半導体薄膜に高濃度ドレイン領域用不純物領域を、前記第4の陽極酸化膜の外側の前記第1の陽極酸化膜の下の前記半導体薄膜に前記高濃度ドレイン領域用不純物領域よりも低不純物濃度の低濃度ドレイン領域用不純物領域を、前記第2の陽極酸化膜の外側の前記ゲート絶縁膜の下の前記半導体薄膜に高濃度ソース領域用不純物領域を、前記第5の陽極酸化膜の外側の前記第2の陽極酸化膜の下の前記半導体薄膜に前記高濃度ソース領域用不純物領域よりも低不純物濃度の低濃度ソース領域用不純物領域をそれぞれ形成する工程と、を有することを特徴とする薄膜半導体装置の製造方法が提供される。

【0071】本製造方法においては、ゲート絶縁膜上に第1の金属からなる第1のゲート電極と第1のゲート電極の両側の第1および第2の陽極酸化膜とを形成し、第2の金属からなる第1のゲート電極よりも幅が広い第2のゲート電極を第1のゲート電極上に形成し、第2のゲート電極の第1の側部を第1のゲート電極から突出させて第1の陽極酸化膜上に形成し、第2のゲート電極の第1の側部上、中央部上および第2の側部上に第3の陽極酸化膜を形成し、第1の側部の外側の側面に第4の陽極酸化膜をこの第4の陽極酸化膜の外側の端部が第1の陽極酸化膜の外側の端部よりも内側となるように形成し、そして、これら第2のゲート電極、第3、第4の陽極酸化膜、第1の陽極酸化膜、および第1のゲート電極をマスクとして半導体薄膜にイオンドーピング法により不純物を導入して、第1の陽極酸化膜の外側のゲート絶縁膜の下の前記半導体薄膜に高濃度ドレイン領域用不純物領域を、第4の陽極酸化膜の外側の第1の陽極酸化膜の下の前記半導体薄膜に高濃度ドレイン領域用不純物領域よりも低不純物濃度の低濃度ドレイン領域用不純物領域をそれぞれ形成している。また、これら、高濃度ドレイン領域用不純物領域および低濃度ドレイン領域用不純物領域は、その後、熱処理等により活性化されて、それぞれ、高濃度ドレイン領域および低濃度ドレイン領域となる。

【0072】従って、このようにして製造される薄膜半導体装置においては、高濃度ドレイン領域が第1のゲート電極と離間したオフセットゲート構造となっているから、ゲート電圧 V_g をオフ側にしたときにオフリーク電流を抑制できる。また、ソース・ドレイン間耐圧も高く

なり、その結果、チャネルの微細化が可能となり、オン抵抗を小さくできて、オン電流を上げることができる。

【0073】また、第1のゲート電極と高濃度ドレイン領域との間の半導体薄膜には低濃度ドレイン領域が形成されるから、オン電流の減少を抑制でき、さらに、ソース・ドレイン間耐圧を高くすることができ、その結果、チャネルの微細化が可能となり、オン抵抗をさらに小さくできて、オン電流をさらに上げることができる。

【0074】また、第1のゲート電極上に第2のゲート電極を形成し、この第2のゲート電極の第1の側部を第1のゲート電極から突出させて第1の陽極酸化膜上に形成しているから、オン時には、この第2のゲート電極の第1の側部によって、第2のゲート電極の第1の側部の下の半導体薄膜に弱い電界がかかり、その結果、第2のゲート電極の第1の側部の下の半導体薄膜の表面には反転層（チャンネル）ができる。従って、オン時には、第1のゲート電極とドレイン領域との間の抵抗を小さくできて、オフセットゲート構造を採ったことによって生じるオン電流の減少を抑制することができる。一方、オフ時においては、ドレイン端に於ける電界を小さくする事になり、それ故オフ電流は小さくなる。

【0075】本製造方法においては、ゲート絶縁膜上に、陽極酸化可能な第1の金属からなる第1の金属膜と、陽極酸化可能であり第1の金属よりも陽極酸化速度が小さい第2の金属からなる第2の金属膜とを使用し、この第1の金属膜と、第1の金属膜と実質的に同じ幅の第2の金属膜とからなる金属膜積層体を陽極酸化しているから、ゲート絶縁膜上に第1の金属からなる第1のゲート電極と第1のゲート電極の両側の第1および第2の陽極酸化膜とが形成され、第2の金属からなる第1のゲート電極よりも幅が広い第2のゲート電極が第1のゲート電極上に形成され、第2のゲート電極の第1の側部が第1のゲート電極から突出されて第1の陽極酸化膜上に形成され、第2のゲート電極の第1の側部の外側の側面に第4の陽極酸化膜がこの第4の陽極酸化膜の外側の端部が第1の陽極酸化膜の外側の端部よりも内側となるように形成された構造を容易に製造できる。また、第2のゲート電極の第1の側部が第1のゲート電極から突出している量、第1の陽極酸化膜の幅、第4の陽極酸化膜の幅等は陽極酸化条件により制御されるので、精度よく制御可能である。また、これら第2のゲート電極、第3、第4の陽極酸化膜、第1の陽極酸化膜、第1のゲート電極をマスクとして半導体薄膜にイオン注入法により不純物を導入して、第1の陽極酸化膜の外側のゲート絶縁膜の下の前記半導体薄膜に高濃度ドレイン領域用不純物領域を、第4の陽極酸化膜の外側の第1の陽極酸化膜の下の前記半導体薄膜に高濃度ドレイン領域用不純物領域よりも低不純物濃度の低濃度ドレイン領域用不純物領域をそれぞれ形成しているから、これら不純物領域の位置も、陽極酸化条件を制御することにより、精度よく制御可能であ

る。

【0076】また、本製造方法においては、第1の金属からなる第1のゲート電極と第1のゲート電極の両側の第1および第2の陽極酸化膜とをゲート絶縁膜上に形成し、第2の金属からなる第1のゲート電極よりも幅が広い第2のゲート電極を第1のゲート電極上に形成し、第2のゲート電極の第1の側部上、中央部上および第2の側部上に第3の陽極酸化膜を形成し、第2のゲート電極の第1の側部の外側の側面に第4の陽極酸化膜を第4の陽極酸化膜の外側の端部が第1の陽極酸化膜の外側の端部よりも内側となるように形成し、第2のゲート電極の第2の側部の外側の側面に第5の陽極酸化膜を第5の陽極酸化膜の外側の端部が第2の陽極酸化膜の外側の端部よりも内側となるように形成しているから、階段状となり、これらの上に形成するデータ線等の断線が生じにくくなる。

【0077】本製造方法においては、上記のような優れた特性の薄膜半導体装置を1回のイオン注入により製造することができる。

【0078】なお、ゲート絶縁膜上に、陽極酸化可能な第1の金属からなる第1の金属膜と、陽極酸化可能であり第1の金属よりも陽極酸化速度が小さい第2の金属からなる第2の金属膜とあって第1の金属膜と実質的に同じ幅で第1の金属膜上に積層された第2の金属膜とからなる金属膜積層体は、ゲート絶縁膜上に、第1の金属からなる第3の金属膜を形成し、その後、連続して第3の金属膜上に第2の金属からなる第4の金属膜を形成し、その後、第4の金属膜上にレジストを選択的に形成し、その後レジストをマスクにして、第4の金属膜および第3の金属膜を選択的にエッチング除去することにより容易に形成できる。

【0079】好ましくは、第1の金属がタンタルであり、第2の金属がアルミニウムであり、第1および第2の陽極酸化膜が酸化タンタル膜であり、第3乃至第5の陽極酸化膜が酸化アルミニウム膜である。

【0080】このようにすれば、タンタルとアルミニウムの格子定数や結晶構造が互いに異なっているため、これら2つの金属を上下に積層したゲート電極はイオンドーピングのマスク性に優れるようになる。その結果、ゲート電極全体の膜厚を薄くできて、その上に形成するデータ線等の断線が生じにくくなる。

【0081】また、タンタルのエッチング特性とアルミニウムのエッチング特性とが異なるから、エッチング特性の異なる2種の金属の2層構造となるゲート電極は、製造時に断線しづらくなる。

【0082】さらに、タンタルの上に電気抵抗の低いアルミニウムを使用しているから、ゲート電極（ゲート線）全体の抵抗が低くなる。

【0083】また、アルミニウムを陽極酸化した酸化アルミニウムによってアルミニウムの表面が覆われている

から、その後イオンドーピングする際にもイオンドーピングのマスクとしてアルミニウムを使用できるようになる。また、酸化アルミニウムによってゲート電極のアルミニウムの表面が覆われていると、その上に形成されるデータ線等にもアルミニウムが使用できるようになり、素子全体の配線抵抗を小さくすることができる。さらに、酸化アルミニウムによってアルミニウムの表面が覆われていると、その後の加熱工程を経てもアルミニウムのヒロックが生じにくくなる。

【0084】また、第1の金属がタンタルであるので、ゲート絶縁膜が化学気相成長法で作成された絶縁膜である場合にも、その上にゲート電極を形成しても閾値（ V_{th} ）等のトランジスタ特性がほとんど変動することはなく、安定して優れた特性の薄膜トランジスタが製造できる。

【0085】さらに好ましくは、絶縁基板上に半導体薄膜を形成する工程が、絶縁基板上に多結晶シリコン薄膜を形成する工程であり、半導体薄膜上にゲート絶縁膜を形成する工程が、多結晶シリコン薄膜上に化学気相成長法により酸化ケイ素膜を形成する工程であり、酸化ケイ素膜の膜厚を t_{ox} （Å）とし、第1の陽極酸化膜の膜厚を t_{TaOx} （Å）とした場合に、

$$(a \cdot t_{ox}^2 + b \cdot t_{ox}) \times 1.28 < t_{TaOx} \text{ , } t_{TaOx} < (a \cdot t_{ox}^2 + b \cdot t_{ox}) \times 3.09$$

（ここで、 $a = -8.8889 \times 10^{-5}$ （Å⁻¹）、 $b = 0.44$ である。）の関係を満たしている。

【0086】酸化ケイ素膜からなるゲート絶縁膜の膜厚と、第1の酸化タンタル膜の膜厚とが上記関係を満たしていると、これらの膜を通してイオン注入により高濃度ドレイン領域や低濃度ドレイン領域を形成した場合に、実用上優れた構造の薄膜半導体装置が製造される。 t_{TaOx} が $(a \cdot t_{ox}^2 + b \cdot t_{ox}) \times 1.28$ よりも小さいと、低濃度ドレイン領域の不純物濃度が高くなりすぎて、ゲート電圧 V_{gs} をオフ側にしたときのオフリーク電流が流れてしまう。また、 t_{TaOx} が $(a \cdot t_{ox}^2 + b \cdot t_{ox}) \times 3.09$ よりも大きいと、低濃度ドレイン領域の不純物濃度が低くなりすぎて、オン電流が小さくなりすぎてしまう。

【0087】また、本発明によれば、絶縁基板上に半導体薄膜を形成する工程と、前記半導体薄膜上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に、陽極酸化可能な第1の金属からなる第1の金属膜と、陽極酸化困難な第2の金属からなる前記第1の金属膜と実質的に同じ幅で前記第1の金属膜上に積層された第2の金属膜とからなる金属膜積層体を形成する工程と、前記金属膜積層体を熱酸化して前記第2の金属膜の上面および両側面に前記第2の金属の第1、第2および第3の熱酸化膜をそれぞれ形成し、前記第1の金属膜の両側面に前記第1の金属の熱酸化膜を形成し、その後、前記第1の金属膜を陽極酸化することにより、前記第1の金属からなる

第1のゲート電極と前記第1のゲート電極の両側の第1および第2の陽極酸化膜とを前記ゲート酸化膜上に形成し、前記第2の金属からなり前記第1のゲート電極よりも幅が広く前記幅の方向において中央部と前記中央部の両側の第1および第2の側部とを備える第2のゲート電極を、前記第2のゲート電極の前記中央部であって前記第1のゲート電極と同じ幅である前記中央部を前記第1のゲート電極の直上とし、前記第2のゲート電極の前記幅の方向の前記第1の側部および前記第2の側部を前記第1のゲート電極の前記幅の方向における第1の端部の位置および第2の端部の位置から前記幅の方向においてそれぞれ突出させて前記第1の陽極酸化膜および前記第2の陽極酸化膜上にそれぞれ位置するようにして、前記第1のゲート電極上に形成し、前記第2のゲート電極の両側の前記第2および第3の熱酸化膜を前記第2の熱酸化膜の外側の端部が前記第1の陽極酸化膜の外側の端部よりも内側となり前記第3の熱酸化膜の外側の端部が前記第2の陽極酸化膜の外側の端部よりも内側となるように形成する工程と、前記第2のゲート電極、前記第1乃至第3の熱酸化膜、前記第1および第2の陽極酸化膜、ならびに前記第1のゲート電極をマスクとして前記半導体薄膜にイオンドーピング法により不純物を導入して、前記第1の陽極酸化膜の外側の前記ゲート絶縁膜の下の前記半導体薄膜に高濃度ドレイン領域用不純物領域を、前記第2の熱酸化膜の外側の前記第1の陽極酸化膜の下の前記半導体薄膜に前記高濃度ドレイン領域用不純物領域よりも低不純物濃度の低濃度ドレイン領域用不純物領域を、前記第2の陽極酸化膜の外側の前記ゲート絶縁膜の下の前記半導体薄膜に高濃度ソース領域用不純物領域を、前記第3の熱酸化膜の外側の前記第2の陽極酸化膜の下の前記半導体薄膜に前記高濃度ソース領域用不純物領域よりも低不純物濃度の低濃度ソース領域用不純物領域をそれぞれ形成する工程と、を有することを特徴とする薄膜半導体装置の製造方法が提供される。

【0088】ゲート電極が、陽極酸化可能な第1の金属と陽極酸化困難な第2の金属とからなる場合には、まず、熱酸化により第2の金属からなる第2の金属膜の上面および両側面に第2の金属の熱酸化膜をそれぞれ形成し、第1の金属からなる第1の金属膜の両側面に第1の金属の熱酸化膜を形成し、その後、第1の金属膜を陽極酸化することにより、陽極酸化時に陽極酸化困難な金属の溶解を避けることができ、陽極酸化可能な第1の金属の側面に第1および第2の陽極酸化膜を形成できる。

【0089】なお、ゲート絶縁膜上に、陽極酸化可能な第1の金属からなる第1の金属膜と、陽極酸化困難な第2の金属からなり第1の金属膜と実質的に同じ幅で第1の金属膜上に積層された第2の金属膜とからなる金属膜積層体は、ゲート絶縁膜上に、第1の金属からなる第3の金属膜を形成し、その後、連続して第3の金属膜上に第2の金属からなる第4の金属膜を形成し、その後、第

4の金属膜上にレジストを選択的に形成し、その後レジストをマスクにして、第4の金属膜および第3の金属膜を選択的にエッチング除去することにより容易に形成できる。

【0090】本製造方法によって製造される薄膜半導体装置においても、高濃度ドレイン領域が第1のゲート電極と離間したオフセットゲート構造となるから、ゲート電圧 V_g をオフ側にしたときにオフリーク電流を抑制できる。また、ソース・ドレイン間耐圧も高くなり、その結果、チャネルの微細化が可能となり、オン抵抗を小さくできて、オン電流を上げることができる。

【0091】また、第1のゲート電極と高濃度ドレイン領域との間の半導体薄膜には低濃度ドレイン領域が形成されるから、オン電流の減少を抑制でき、さらに、ソース・ドレイン間耐圧を高くすることができ、その結果、チャネルの微細化が可能となり、オン抵抗をさらに小さくできて、オン電流をさらに上げることができる。

【0092】また、第1のゲート電極上に第2のゲート電極を形成し、この第2のゲート電極の第1の側部を第1のゲート電極から突出させて第1の陽極酸化膜上に形成しているから、オン時には、この第2のゲート電極の第1の側部によって、第2のゲート電極の第1の側部の下の半導体薄膜に弱い電界がかかり、その結果、第2のゲート電極の第1の側部の下の半導体薄膜の表面には反転層（チャンネル）ができる。従って、オン時には、第1のゲート電極とドレイン領域との間の抵抗を小さくできて、オフセットゲート構造を採ったことによって生じるオン電流の減少を抑制することができる。一方、オフ時においては、ドレイン端に掛かるゲートからの電界を小さくする事になり、それ故オフ電流は小さくなる。

【0093】また、本製造方法により階段状に製造されるから、その上に形成するデータ線等の断線が生じにくくなる。

【0094】本製造方法においても、上記のような優れた特性の薄膜半導体装置を1回のイオン注入により製造することができる。

【0095】また、本発明によれば、絶縁基板上に半導体薄膜を形成する工程と、前記半導体薄膜上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に、陽極酸化可能な第1の金属からなる第1の金属膜を形成する工程と、前記第1の金属膜上にレジストを選択的に形成する工程と、前記レジストをマスクとして前記第1の金属膜を選択的にエッチング除去して前記第1の金属からなる第2の金属膜を選択的に前記ゲート絶縁膜上に形成する工程と、その後、前記レジストを残したまま、前記第2の金属膜を陽極酸化して、前記第1の金属からなる第1のゲート電極と前記第1のゲート電極の両側の第1および第2の陽極酸化膜とを前記ゲート酸化膜上に形成する工程と、その後、前記レジストを除去する工程と、その後、第2の金属からなり前記第1のゲート電極よりも

幅が広く前記幅の方向において中央部と前記中央部の両側の第1および第2の側部とを備える第2のゲート電極を前記第1のゲート電極上に形成し、前記第2のゲート電極の前記中央部であって前記第1のゲート電極と同じ幅である前記中央部を前記第1のゲート電極の直上に設け、前記第2のゲート電極の前記幅の方向の前記第1の側部および前記第2の側部を前記第1のゲート電極の前記幅の方向における第1の端部の位置および第2の端部の位置から前記幅の方向においてそれぞれ突出させて前記第1の陽極酸化膜および前記第2の陽極酸化膜上に前記第1の側部の外側の端部が前記第1の陽極酸化膜の外側の端部よりも内側となり前記第2の側部の外側の端部が前記第2の陽極酸化膜の外側の端部よりも内側となるようにそれぞれ設ける工程と、前記第2のゲート電極、前記第1および第2の陽極酸化膜、ならびに前記第1のゲート電極をマスクとして前記半導体薄膜にイオン注入法により不純物を導入して、前記第1の陽極酸化膜の外側の前記ゲート絶縁膜の下の前記半導体薄膜に高濃度ドレイン領域用不純物領域を、前記第2のゲート電極の前記第1の側部の外側の前記第1の陽極酸化膜の下の前記半導体薄膜に前記高濃度ドレイン領域用不純物領域よりも低不純物濃度の低濃度ドレイン領域用不純物領域を、前記第2の陽極酸化膜の外側の前記ゲート絶縁膜の下の前記半導体薄膜に高濃度ソース領域用不純物領域を、前記第2のゲート電極の前記第2の側部の外側の前記第2の陽極酸化膜の下の前記半導体薄膜に前記高濃度ソース領域用不純物領域よりも低不純物濃度の低濃度ソース領域用不純物領域をそれぞれ形成する工程と、を有することを特徴とする薄膜半導体装置の製造方法が提供される。

【0096】ゲート絶縁膜上に、陽極酸化可能な第1の金属からなる第1の金属膜を形成し、この第1の金属膜上にレジストを選択的に形成し、レジストをマスクとして第1の金属膜を選択的にエッチング除去して第1の金属からなる第2の金属膜を選択的にゲート絶縁膜上に形成し、その後、レジストを残したまま、第2の金属膜を陽極酸化することにより、第1の金属からなる第1のゲート電極の両側に第1および第2の陽極酸化膜を、これら第1および第2の陽極酸化膜の上面と第1のゲート電極の上面とをほぼ同じ高さになるようにして、容易に形成できる。そして、第1のゲート電極上および第1および第2の陽極酸化膜上に第2の金属からなる第1のゲート電極よりも幅が広い第2のゲート電極を形成すれば、第2のゲート電極を第1のゲート電極から突出させた状態に容易に形成できるようになる。本製造方法によれば、第2のゲート電極を構成する第2の金属は陽極酸化可能である必要はなく、また、第1の金属とは無関係に選択できるから、第2の金属の選択の幅が広がる。

【0097】また、第1の金属からなる第1のゲート電極の両側に形成される第1および第2の陽極酸化膜の

幅、すなわち、第1のゲート電極の端部から第1および第2の陽極酸化膜の外側の端部までのそれぞれの距離の制御も容易となり、その結果、この第1の陽極酸化膜をマスクとして半導体薄膜中にイオン打ち込みやイオンドーピングをしてドレイン領域を形成した場合に、第1の金属からなる第1のゲート電極とドレイン領域との間の距離の制御が容易となる。

【0098】本製造方法によって製造される薄膜半導体装置においても、高濃度ドレイン領域が第1のゲート電極と離間したオフセットゲート構造となるから、ゲート電圧 V_g をオフ側にしたときにオフリーク電流を抑制できる。また、ソース・ドレイン間耐圧も高くなり、その結果、チャネルの微細化が可能となり、オン抵抗を小さくできて、オン電流を上げることができる。

【0099】また、第1のゲート電極と高濃度ドレイン領域との間の半導体薄膜には低濃度ドレイン領域が形成されるから、オン電流の減少を抑制でき、さらに、ソース・ドレイン間耐圧を高くすることができ、その結果、チャネルの微細化が可能となり、オン抵抗をさらに小さくできて、オン電流をさらに上げることができる。

【0100】また、第1のゲート電極上に第2のゲート電極を形成し、この第2のゲート電極の第1の側部を第1のゲート電極から突出させて第1の陽極酸化膜上に形成しているから、オン時には、この第2のゲート電極の第1の側部によって、第2のゲート電極の第1の側部の下の半導体薄膜に弱い電界がかかり、その結果、第2のゲート電極の第1の側部の下の半導体薄膜の表面には反転層（チャンネル）ができる。従って、オン時には、第1のゲート電極とドレイン領域との間の抵抗を小さくできて、オフセットゲート構造を採ったことによって生じるオン電流の減少を抑制することができる。一方、オフ時においては、ドレイン端の電界強度が弱くなり、オフ電流が小さくなる。

【0101】また、本製造方法により階段状に製造されるから、その上に形成するデータ線等の断線が生じにくくなる。

【0102】本製造方法においても、上記のような優れた特性の薄膜半導体装置を1回のイオン注入により製造することができる。

【0103】

【発明の実施の形態】次に、図面を参照して本発明の実施の形態を説明する。

【0104】（第1の実施の形態）図1は、本発明の第1の実施の形態の薄膜トランジスタ100を説明するための断面図である。

【0105】ガラス基板10上にポリシリコン等の半導体薄膜20が選択的に形成されている。ポリシリコン薄膜20は化学気相成長法により形成された二酸化シリコンからなるゲート絶縁膜40によって覆われている。ポリシリコン薄膜20の上面上にはゲート絶縁膜40を間

に挟んでタンタルゲート電極51が形成されている。タンタルゲート51の両側のゲート絶縁膜40上にはタンタルを陽極酸化して形成された酸化タンタル膜52、53がそれぞれ形成されている。タンタルゲート電極51上にはアルミニウムゲート電極72が形成され、アルミニウムゲート電極72の上面、両側面はアルミニウムを陽極酸化して形成された酸化アルミニウム膜81、82、83によってそれぞれ覆われている。

【0106】アルミニウムゲート電極72は中央部75と中央部75の両側の側部73、74とから構成されている。アルミニウムゲート電極中央部75はタンタルゲート電極51と同じ幅でありタンタルゲート電極51の直上にタンタルゲート電極51と接して設けられている。アルミニウムゲート電極側部73は、タンタルゲート電極51の端部から突出して酸化タンタル膜52上に形成されている。アルミニウムゲート電極側部74は、タンタルゲート電極51の端部から突出して酸化タンタル膜53上に形成されている。

【0107】ポリシリコン薄膜20は、 n^+ ドレイン領域23、 n^- ドレイン領域22、 n^- ソース領域24、 n^+ ソース領域25、および中央のポリシリコン薄膜21から構成されている。 n^+ ドレイン領域23は酸化タンタル膜52より外側のゲート絶縁膜40の下のポリシリコン薄膜20に形成されている。 n^- ドレイン領域22は、酸化アルミニウム膜82より外側の酸化タンタル膜52の下のポリシリコン薄膜20に形成されている。 n^+ ソース領域25は酸化タンタル膜53より外側のゲート絶縁膜40の下のポリシリコン薄膜20に形成されている。 n^- ソース領域22は、酸化アルミニウム膜83より外側の酸化タンタル膜53の下のポリシリコン薄膜20に形成されている。

【0108】本実施の形態においては、ポリシリコン薄膜20上に化学気相成長法で形成された二酸化シリコンよりなるゲート絶縁膜40を備え、このゲート絶縁膜40上にタンタルゲート電極51を形成している。従って、化学気相成長法で形成した二酸化シリコンよりなるゲート絶縁膜40上にゲート電極を形成しても閾値(V_{th})等のトランジスタ特性がほとんど変動することはなく、優れた特性の薄膜トランジスタ100が安定して製造できる。

【0109】また、このタンタルゲート電極51上にアルミニウムゲート電極72を備えている。従って、タンタルとアルミニウムとの間の格子定数や結晶構造の違いにより、これら2つの金属を上下に積層したゲート電極はイオン注入のマスク性に優れ、その結果、ゲート電極全体の膜厚を薄くできて、その上に形成するデータ線等の断線が生じにくくなる。また、タンタルのエッチング特性とアルミニウムのエッチング特性とが異なるから、エッチング特性の異なる2種の金属の2層構造となるゲート電極は、製造時に断線しづらくなる。さらに、タン

タルの上に電気抵抗の低いアルミニウムを使用しているから、ゲート電極(ゲート線)全体の抵抗が低くなる。

【0110】また、アルミニウムが陽極酸化されて、アルミニウムゲート電極72の上面および両側面にアルミニウムゲート電極72を覆って形成された酸化アルミニウム膜81、82、83をそれぞれ備えているから、高温でイオン注入する際にもイオン注入のマスクとしてアルミニウムを使用できるようになる。また、酸化アルミニウム膜81、82、83によってアルミニウムゲート電極72の表面が覆われていると、その上に形成されるデータ線等にもアルミニウムが使用できるようになり、素子全体の配線抵抗を小さくすることができる。さらに、酸化アルミニウム81、82、83によってアルミニウムゲート電極72の表面が覆われていると、その後の加熱工程を経てもアルミニウムのヒロックが生じにくくなる。

【0111】また、 n^+ ドレイン領域23はタンタルゲート電極51から離間してポリシリコン薄膜20に形成されており、オフセットゲート構造となっている。従って、ゲート電圧 V_{gs} をオフ側にしたときにオフリーク電流を抑制でき、また、ソース・ドレイン間耐圧も高くなり、その結果、チャネルの微細化が可能となり、オン抵抗を小さくできて、オン電流を上げることができる。

【0112】また、 n^- ドレイン領域22が、タンタルゲート51と離間し n^+ ドレイン領域23と接して、タンタルゲート51と n^+ ドレイン領域23との間に形成されている。この n^- ドレイン領域22を設けると、 n^+ ドレイン領域23をタンタルゲート電極51から離間させて形成しても、タンタルゲート電極51と n^+ ドレイン領域23との間の抵抗をこの n^- ドレイン領域22により小さくできる。従って、オン電流の減少を抑制しつつ、ゲート電圧 V_{gs} をオフ側にしたときのオフリーク電流を抑制できる。また、このような n^- ドレイン領域22を設けると、ソース・ドレイン間耐圧を高くすることができ、その結果、チャネルの微細化が可能となり、オン抵抗をさらに小さくできて、オン電流をさらに上げることができる。

【0113】本実施の形態においては、さらに、タンタルゲート電極51上に形成されたアルミニウムゲート電極72の側部73が、タンタルゲート電極51の端部から突出して酸化タンタル膜52上に形成されているから、オン時には、この突出したアルミニウムゲート電極側部73によって、アルミニウムゲート電極側部73の下のポリシリコン薄膜21に弱い電界がかかり、その結果、このポリシリコン薄膜21の表面には反転層(チャネル)ができ、電氣的 n^- 領域26が形成される。同様に、タンタルゲート電極51上に形成されたアルミニウムゲート電極72の側部74が、タンタルゲート電極51の端部から突出して酸化タンタル膜53上に形成されているから、オン時には、この突出したアルミニウム

ゲート電極側部74によって、アルミニウムゲート電極側部74の下のパリシリコン薄膜21に弱い電界がかかり、その結果、このパリシリコン薄膜21の表面には反転層ができ、電氣的 n^- 領域27が形成される。このように、オン時には、この突出したアルミニウムゲート電極側部73によって、パリシリコン薄膜21の表面に電氣的 n^- 領域26が形成されるから、タンタルゲート電極51と n^- ドレイン領域22、 n^+ ドレイン領域23との間の抵抗を小さくできて、オフセットゲート構造を採ったことによって生じるオン電流の減少を抑制することができる。一方、オフ時においては、ドレイン端の電界強度が弱まりオフ電流が小さくなる。

【0114】また、このように、タンタルゲート電極51と、このタンタルゲート電極51の両側の酸化タンタル膜52、53と、タンタルゲート電極51上のアルミニウムゲート電極72と、アルミニウムゲート電極72の上面および両側面の酸化アルミニウム膜81、82、83とが形成され、アルミニウムゲート電極72はタンタルゲート電極51よりも幅が広くてタンタルゲート電極51の両側に突出し、その突出した部分は酸化タンタル膜52、53上に位置するが、酸化タンタル膜52、53の端部の方が、アルミニウムゲート電極72の両側面の酸化アルミニウム膜82、83の端部よりもそれぞれ外側となっており、階段状となるので、これらの上に形成するデータ線等の断線が生じにくくなる。

【0115】この薄膜トランジスタ100は次のようにして製造される。

【0116】図2は、本発明の第1の実施の形態の薄膜トランジスタの製造方法を説明するための断面図である。

【0117】まず、図2Aに示すように、ガラス基板10上にパリシリコン薄膜20を選択的に形成し、パリシリコン薄膜20上に化学気相成長法により二酸化シリコンからなるゲート絶縁膜40を形成し、ゲート絶縁膜40上にタンタル膜60をスパッタ法により形成し、タンタル膜60上にアルミニウム膜70をスパッタ法により形成し、アルミニウム膜70上にレジスト15を選択的に形成する。

【0118】次に、図2Bに示すように、レジスト15をマスクにしてアルミニウム膜70およびタンタル膜60を選択的にエッチング除去して、同じ幅のタンタル膜61とアルミニウム膜71とからなる金属膜積層体67を形成する。その後、レジスト15を除去する。

【0119】次に、図2Cに示すように、金属膜積層体67を陽極酸化して、ゲート絶縁膜40上にタンタルゲート電極51と、タンタルゲート51の両側の酸化タンタル膜52、53をそれぞれ形成し、タンタルゲート電

極51上にはアルミニウムゲート電極72を形成し、アルミニウムゲート電極72の上面、両側面にはそれぞれ酸化アルミニウム膜81、82、83を形成する。

【0120】次に、図2Dに示すように、タンタルゲート電極51、酸化タンタル膜52、53、アルミニウムゲート電極72、酸化アルミニウム膜81、82、83およびゲート絶縁膜40をマスクにしてイオン注入法により隣イオンをパリシリコン薄膜20に導入する。このようにして、一回のイオン注入により、酸化タンタル膜52より外側のゲート絶縁膜40の下のパリシリコン薄膜20に n^+ ドレイン領域用不純物領域23'が形成され、酸化アルミニウム膜82より外側の酸化タンタル膜52の下のパリシリコン薄膜20に n^- ドレイン領域用不純物領域22'が形成され、酸化タンタル膜53より外側のゲート絶縁膜40の下のパリシリコン薄膜20に n^+ ソース領域用不純物領域25'が形成され、酸化アルミニウム膜83より外側の酸化タンタル膜53の下のパリシリコン薄膜20に n^- ソース領域用不純物領域24'が形成される。

【0121】その後、熱処理によりイオン注入された不純物を活性化して、 n^+ ドレイン領域用不純物領域23'を n^+ ドレイン領域23とし、 n^- ドレイン領域用不純物領域22'を n^- ドレイン領域22とし、 n^+ ソース領域用不純物領域25'を n^+ ソース領域25とし、 n^- ソース領域用不純物領域24'を n^- ソース領域24として、図1の薄膜トランジスタ100を形成する。

【0122】このように、陽極酸化速度の大きいタンタルを下側とし、陽極酸化速度の小さいアルミニウムを上側とする2層構造のゲート電極構造とすることにより容易に本実施例の薄膜トランジスタ100が製造される。また、イオン注入も一回で済む。

【0123】イオン注入により、ゲート絶縁膜40の下のパリシリコン薄膜20に n^+ ドレイン領域用不純物領域23'を形成するには、通常は、不純物分布のピークが、パリシリコン薄膜20の表面、すなわち、ゲート絶縁膜40とパリシリコン薄膜20との界面に来るように、イオンドーピングの加速電圧を設定する。このときのゲート絶縁膜40の膜厚すなわち飛程 x (Å)と、飛程偏差 σ (Å)との間には、

$$\sigma = a \cdot x^2 + b \cdot x \quad \dots (1)$$

(ここで、 $a = -8.8889 \times 10^{-5} (\text{\AA}^{-1})$ 、 $b = 0.44$ である。)の関係がある。

【0124】飛程 x と、飛程偏差 σ 、および飛程偏差の所定倍の値の関係を表1に示す。

【0125】

【表1】

飛程 (Å)	飛程偏差 σ (Å)	1. 28 σ (Å)	2. 33 σ (Å)	2. 58 σ (Å)	3. 09 σ (Å)
300	124	159	289	320	383
600	232	297	541	599	717
900	324	415	755	836	1,001
1,200	400	512	932	1,032	1,236
1,500	460	589	1,072	1,189	1,421
1,800	504	645	1,174	1,300	1,557

【0126】例えば、ゲート絶縁膜40の膜厚が600オングストロームの場合には、飛程 x が600オングストロームであり、不純物分布のピークが、ゲート絶縁膜40の表面から600オングストロームのところ、すなわち、ゲート絶縁膜40とポリシリコン薄膜20との界面のところとなるように、イオンドーピングの加速電圧が設定される。このとき、例えば、ゲート絶縁膜40上に膜厚541オングストロームの酸化タンタル膜52が形成されている箇所においては、不純物分布のピークから2.33 σ (541オングストローム)離れたところがゲート絶縁膜40とポリシリコン薄膜20との界面となる。

【0127】次に、不純物分布のピークが、ゲート絶縁

膜40とポリシリコン薄膜20との界面のところとなるようにしてイオンドーピングして形成した n^+ ドレイン領域用不純物領域23'の濃度と、ゲート絶縁膜40上に所定の膜厚の酸化タンタル膜52が形成されていて、不純物分布のピークから1.28 σ 、2.33 σ 、2.58 σ および3.09 σ それぞれ離れたところがゲート絶縁膜40とポリシリコン薄膜20との界面となるような各場合に、イオンドーピングして形成した n^+ ドレイン領域用不純物領域22'の濃度との関係を表2に示す。

【0128】

【表2】

n ⁺ ドレイン領域用 不純物領域23' (cm ⁻²)	n ⁻ ドレイン領域用 不純物領域22' (cm ⁻²)			
	1.28σ (10%)	2.33σ (1.0%)	2.58σ (0.49%)	3.09σ (0.1%)
1×10 ¹⁴	1×10 ¹⁴	1×10 ¹³	4.9×10 ¹²	1×10 ¹²
5×10 ¹⁴	5×10 ¹⁴	5×10 ¹³	2.5×10 ¹³	5×10 ¹²
1×10 ¹⁶	1×10 ¹⁵	1×10 ¹⁴	4.9×10 ¹³	1×10 ¹³

なお、表中()内の%は、n⁺ ドレイン領域用不純物領域23'の不純物濃度に対するn⁻ ドレイン領域用不純物領域22'の不純物濃度の百分率を表す。

【0129】この表から、例えば、上記の不純物分布のピークから2.33σ離れたところがゲート絶縁膜40とポリシリコン薄膜20との界面となる場合においては、n⁻ ドレイン領域用不純物領域22'の濃度は、n⁺ ドレイン領域用不純物領域23'の濃度の1.0%となることがわかる。

【0130】n⁻ ドレイン領域用不純物領域22'の濃度が、n⁺ ドレイン領域用不純物領域23'の濃度の10%以上となると、オフ電流が流れてしまい好ましくない。一方、n⁻ ドレイン領域用不純物領域22'の濃度が、n⁺ ドレイン領域用不純物領域23'の濃度の0.1%以下となると、n⁻ ドレイン領域22を設けても、タンタルゲート電極51とn⁺ ドレイン領域23との間の抵抗は小さくならず、その結果オン電流も制限され好ましくない。従って、n⁻ ドレイン領域用不純物領域2

$$(a \cdot t_{ox}^2 + b \cdot t_{ox}) \times 1.28 < t_{TaOx} \quad \dots (3)$$

$$t_{TaOx} < (a \cdot t_{ox}^2 + b \cdot t_{ox}) \times 3.09 \quad \dots (4)$$

(ここで、 $a = -8.8889 \times 10^{-5} (\text{\AA}^{-1})$ 、 $b = 0.44$ である。)の関係を満たしていることが好ましい。

【0132】(第2の実施の形態)図3は、本発明の第2の実施の形態の薄膜トランジスタ100を説明するための断面図である。

【0133】ガラス基板10上にポリシリコン薄膜20が選択的に形成されている。ポリシリコン薄膜20は化学気相成長法により形成された二酸化シリコンからなるゲート絶縁膜40によって覆われている。ポリシリコン薄膜20の上面上にはゲート絶縁膜40を間に挟んでタンタルゲート電極51が形成されている。タンタルゲート51の両側のゲート絶縁膜40上にはタンタルを陽極

2'の濃度は、n⁺ ドレイン領域用不純物領域23'の濃度の0.1%よりも大きく10%より小さいことが好ましい。すなわち、ゲート絶縁膜40とポリシリコン薄膜20との界面が不純物分布のピークから1.28σ〜3.09σ離れるように、ゲート絶縁膜40上の酸化タンタル膜52の膜厚を設定すること、すなわち、酸化タンタル膜52の膜厚を t_{TaOx} とすると、

$$1.28\sigma < t_{TaOx} < 3.09\sigma \quad \dots (2)$$

の関係にあることが好ましい。

【0131】一方、ゲート絶縁膜40の膜厚を $t_{ox} (\text{\AA})$ とすると、この膜厚 t_{ox} は飛程 x に等しいから、式(1)と式(2)より、酸化タンタル膜52の膜厚 $t_{TaOx} (\text{\AA})$ とゲート絶縁膜40の膜厚 t_{ox} との関係は、

酸化して形成された酸化タンタル膜52、53がそれぞれ形成されている。タンタルゲート電極51上にはクロムゲート電極91が形成されている。

【0134】クロムゲート電極91は中央部94と中央部94の両側の側部52、53とから構成されている。クロムゲート電極中央部94はタンタルゲート電極51と同じ幅でありタンタルゲート電極51の直上にタンタルゲート電極51と接して設けられている。クロムゲート電極側部92は、タンタルゲート電極51の端部から突出して酸化タンタル膜52上に形成されている。クロムゲート電極側部93は、タンタルゲート電極51の端部から突出して酸化タンタル膜53上に形成されている。

【0135】ポリシリコン薄膜20は、 n^+ ドレイン領域23、 n^- ドレイン領域22、 n^- ソース領域24、 n^+ ソース領域25、および中央のポリシリコン薄膜21から構成されている。 n^+ ドレイン領域23は酸化タンタル膜52より外側のゲート絶縁膜40の下ポリシリコン薄膜20に形成されている。 n^- ドレイン領域22は、クロムゲート電極91より外側の酸化タンタル膜52の下ポリシリコン薄膜20に形成されている。 n^+ ソース領域25は酸化タンタル膜53より外側のゲート絶縁膜40の下ポリシリコン薄膜20に形成されている。 n^- ソース領域22は、クロムゲート電極91より外側の酸化タンタル膜53の下ポリシリコン薄膜20に形成されている。

【0136】本実施の形態においても、ポリシリコン薄膜20上に化学気相成長法で形成された二酸化シリコンよりなるゲート絶縁膜40を備え、このゲート絶縁膜40上にタンタルゲート電極51を形成している。従って、化学気相成長法で形成した二酸化シリコンよりなるゲート絶縁膜40上にゲート電極を形成しても閾値(V_{th})等のトランジスタ特性がほとんど変動することはなく、優れた特性の薄膜トランジスタ100が安定して製造できる。

【0137】また、このタンタルゲート電極51上にクロムゲート電極72を備えている。従って、タンタルとクロムとの間の格子定数や結晶構造の違いにより、これら2つの金属を上下に積層したゲート電極はイオン注入のマスク性に優れ、その結果、ゲート電極全体の膜厚を薄くできて、その上に形成するデータ線等の断線が生じにくくなる。また、タンタルのエッチング特性とクロムのエッチング特性とが異なるから、エッチング特性の異なる2種の金属の2層構造となるゲート電極は、製造時に断線しづらくなる。さらに、タンタルの上に電気抵抗の低いクロムを使用しているから、ゲート電極(ゲート線)全体の抵抗が低くなる。

【0138】また、 n^+ ドレイン領域23はタンタルゲート電極51から離間してポリシリコン薄膜20に形成されており、オフセットゲート構造となっている。従って、ゲート電圧 V_g をオフ側にしたときにオフリーク電流を抑制でき、また、ソース・ドレイン間耐圧も高くなり、その結果、チャネルの微細化が可能となり、オン抵抗を小さくできて、オン電流を上げることができる。

【0139】また、 n^- ドレイン領域22が、タンタルゲート51と離間し n^+ ドレイン領域23と接して、タンタルゲート51と n^+ ドレイン領域23との間に形成されている。この n^- ドレイン領域22を設けると、 n^+ ドレイン領域23をタンタルゲート電極51から離間させて形成しても、タンタルゲート電極51と n^+ ドレイン領域23との間の抵抗をこの n^- ドレイン領域22により小さくできる。従って、オン電流の減少を抑制しつつ、ゲート電圧 V_g をオフ側にしたときのオフリーク

電流を抑制できる。また、このような n^- ドレイン領域22を設けると、ソース・ドレイン間耐圧を高くすることができ、その結果、チャネルの微細化が可能となり、オン抵抗をさらに小さくできて、オン電流をさらに上げることができる。

【0140】本実施の形態においては、さらに、タンタルゲート電極51上に形成されたクロムゲート電極91の側部92が、タンタルゲート電極51の端部から突出して酸化タンタル膜52上に形成されているから、オン時には、この突出したクロムゲート電極側部92によって、クロムゲート電極側部92の下ポリシリコン薄膜21に弱い電界がかかり、その結果、このポリシリコン薄膜21の表面には反転層(チャンネル)ができ、電氣的 n^- 領域26が形成される。同様に、タンタルゲート電極51上に形成されたクロムゲート電極91の側部93が、タンタルゲート電極51の端部から突出して酸化タンタル膜53上に形成されているから、オン時には、この突出したクロムゲート電極側部93によって、クロムゲート電極側部93の下ポリシリコン薄膜21に弱い電界がかかり、その結果、このポリシリコン薄膜21の表面には反転層(チャンネル)ができ、電氣的 n^- 領域27が形成される。このように、オン時には、この突出したクロムゲート電極側部92によって、ポリシリコン薄膜21の表面に電氣的 n^- 領域26が形成されるから、タンタルゲート電極51と n^- ドレイン領域22、 n^+ ドレイン領域23との間の抵抗を小さくできて、オフセットゲート構造を採ったことによって生じるオン電流の減少を抑制することができる。一方、オフ時には、ドレイン端の電界が弱まり、オフ電流は小さくなる。

【0141】また、このように、タンタルゲート電極51と、このタンタルゲート電極51の両側の酸化タンタル膜52、53と、タンタルゲート電極51上のクロムゲート電極91とが形成され、クロムゲート電極91はタンタルゲート電極51よりも幅が広くてタンタルゲート電極51の両側に突出し、その突出した部分は酸化タンタル膜52、53上に位置するが、酸化タンタル膜52、53の端部の方が、クロムゲート電極91の両側部92、93の端部よりもそれぞれ外側となっており、階段状となるので、これらの上に層間絶縁膜を介して形成するデータ線等の断線が生じにくくなる。

【0142】この薄膜トランジスタ100は次のようにして製造される。

【0143】図4は、本発明の第2の実施の形態の薄膜トランジスタの製造方法を説明するための断面図である。

【0144】まず、図4Aに示すように、ガラス基板10上にポリシリコン薄膜20を選択的に形成し、ポリシリコン薄膜20上に化学気相成長法により二酸化シリコンからなるゲート絶縁膜40を形成し、ゲート絶縁膜4

0上にタンタル膜60をスパッタ法により形成し、タンタル膜60上にレジスト15を選択的に形成する。

【0145】次に、図4Bに示すように、レジスト15をマスクにしてタンタル膜60を選択的にエッチング除去して、タンタル膜61を形成する。

【0146】次に、図4Cに示すように、レジスト15を残したままタンタル膜61を陽極酸化して、ゲート絶縁膜40上にタンタルゲート電極51と、タンタルゲート51の両側の酸化タンタル膜52、53をそれぞれ形成する。その後、レジスト15を除去する。

【0147】次に、図4Dに示すように、タンタルゲート電極51および酸化タンタル膜52、53上に、タンタルゲート電極51よりも幅が広いクロムゲート電極91を、クロムゲート電極側部92、93をタンタルゲート電極51から突出させて、選択的に形成する。次に、クロムゲート電極91、タンタルゲート電極51および酸化タンタル膜52、53、およびゲート絶縁膜40をマスクにしてイオン注入法によりリンイオンをポリシリコン薄膜20に導入する。このようにして、一回のイオン注入により、酸化タンタル膜52より外側のゲート絶縁膜40の下のポリシリコン薄膜20に n^+ ドレイン領域用不純物領域23'が形成され、クロムゲート電極91より外側の酸化タンタル膜52の下のポリシリコン薄膜20に n^- ドレイン領域用不純物領域22'が形成され、酸化タンタル膜53より外側のゲート絶縁膜40の下のポリシリコン薄膜20に n^+ ソース領域用不純物領域25'が形成され、クロムゲート電極91より外側の酸化タンタル膜53の下のポリシリコン薄膜20に n^- ソース領域用不純物領域22'が形成される。

【0148】その後、熱処理によりイオン注入された不純物を活性化して、 n^+ ドレイン領域用不純物領域23'を n^+ ドレイン領域23とし、 n^- ドレイン領域用不純物領域22'を n^- ドレイン領域22とし、 n^+ ソース領域用不純物領域25'を n^+ ソース領域25とし、 n^- ソース領域用不純物領域24'を n^- ソース領域24として、図3の薄膜トランジスタ100を形成する。

【0149】本実施の形態の製造方法においては、ゲート絶縁膜40上に、陽極酸化可能なタンタル膜60を形成し、このタンタル膜60上にレジスト15を選択的に形成し、レジスト15をマスクとしてタンタル膜60を選択的にエッチング除去してタンタル膜61を選択的にゲート絶縁膜50上に形成し、その後、レジスト15を残したまま、タンタル膜61を陽極酸化することにより、タンタルゲート電極51の両側に酸化タンタル膜52、53を、これら酸化タンタル膜52、53の上面とタンタルゲート電極51の上面とをほぼ同じ高さになるようにして、容易に形成できる。そして、タンタルゲート電極51および酸化タンタル膜52、53上にタンタルゲート電極51よりも幅が広いクロムゲート電極9

1を形成すれば、クロムゲート電極の側部92、93をタンタルゲート電極51から突出させた状態に容易に形成できるようになる。本製造方法によれば、タンタルゲート電極51上に、クロムのような陽極酸化困難な金属を使用したゲート電極を設けることができ、ゲート電極に使用する金属の選択の幅が広がる。また、イオンドーピングも一回で済む。

【0150】図5は、本発明の第2の実施の形態の薄膜トランジスタの他の製造方法を説明するための断面図である。

【0151】まず、図5Aに示すように、ガラス基板10上にポリシリコン薄膜20を選択的に形成し、ポリシリコン薄膜20上に化学気相成長法により二酸化シリコンからなるゲート絶縁膜40を形成し、ゲート絶縁膜40上にタンタル膜60をスパッタ法により形成し、タンタル膜60上にクロム膜90をスパッタ法により形成し、クロム膜90上にレジスト15を選択的に形成する。

【0152】次に、図5Bに示すように、レジスト15をマスクにしてクロム膜90およびタンタル膜60を選択的にエッチング除去して、同じ幅のタンタル膜61およびクロム膜95からなる金属膜積層体68を形成する。その後、レジスト15を除去する。

【0153】次に、図5Cに示すように、金属膜積層体68を熱酸化して、ゲート絶縁膜40上にタンタル膜62と、タンタル膜62の両側の酸化タンタル膜63、64をそれぞれ形成し、タンタル膜62上にはクロム膜96を形成し、クロム膜96の上面および両側面には酸化クロム膜97、98、99をそれぞれ形成する。クロム膜96はクロムゲート電極91となる。

【0154】次に、図5Dに示すように、タンタル膜62を陽極酸化して、ゲート絶縁膜40上にタンタルゲート電極51と、タンタルゲート51の両側の酸化タンタル膜52、53をそれぞれ形成する。その後、タンタルゲート電極51、酸化タンタル膜52、53、クロムゲート電極51および酸化クロム膜97、98、99をマスクとしてイオン注入法によりリンイオンをポリシリコン薄膜20に導入する。このようにして、一回のイオン注入により、酸化タンタル膜52より外側のゲート絶縁膜40の下のポリシリコン薄膜20に n^+ ドレイン領域用不純物領域23'が形成され、酸化クロム膜98より外側の酸化タンタル膜52の下のポリシリコン薄膜20に n^- ドレイン領域用不純物領域22'が形成され、酸化タンタル膜53より外側のゲート絶縁膜40の下のポリシリコン薄膜20に n^+ ソース領域用不純物領域25'が形成され、酸化クロム膜99より外側の酸化タンタル膜53の下のポリシリコン薄膜20に n^- ソース領域用不純物領域22'が形成される。

【0155】その後、熱処理によりイオン注入された不純物を活性化して、 n^+ ドレイン領域用不純物領域2

3'を n^+ ドレイン領域23とし、 n^- ドレイン領域用不純物領域22'を n^- ドレイン領域22とし、 n^+ ソース領域用不純物領域25'を n^+ ソース領域25とし、 n^- ソース領域用不純物領域24'を n^- ソース領域24として、薄膜トランジスタ100を形成する。

【0156】このように、クロムのような陽極酸化困難な金属を使用した場合であっても、まず、熱酸化することによりクロムの表面を熱酸化膜で覆っておくと、その後タンタルの陽極酸化を行う場合にはクロムの溶解が防止でき、タンタルとクロムをまず連続して形成した場合であっても、その後陽極酸化して、本実施例の薄膜トランジスタ100を形成できる。なお、本製造方法においても、イオン注入は一回で済む。

【0157】

【発明の効果】本発明によれば、一回のイオン注入によって製造可能な簡単な構造の薄膜半導体装置であって、オフリーク電流を抑制すると共にオン電流の減少を低く抑えた薄膜半導体装置とその製造方法が提供される。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態の薄膜トランジスタを説明するための断面図である。

【図2】本発明の第1の実施の形態の薄膜トランジスタの製造方法を説明するための断面図である。

【図3】本発明の第2の実施の形態の薄膜トランジスタを説明するための断面図である。

【図4】本発明の第2の実施の形態の薄膜トランジスタの一製造方法を説明するための断面図である。

【図5】本発明の第2の実施の形態の薄膜トランジスタの他の製造方法を説明するための断面図である。

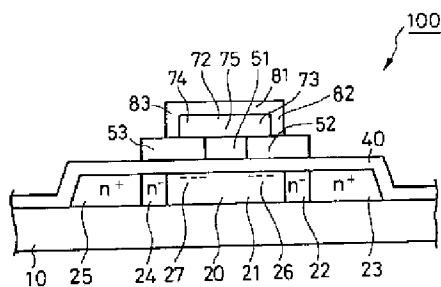
【図6】従来の薄膜トランジスタおよびその製造方法を説明するための断面図である。

【符号の説明】

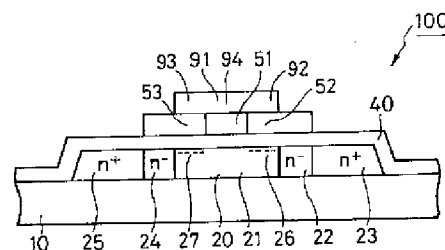
10…ガラス基板
15…レジスト
20…ポリシリコン薄膜
21…ポリシリコン薄膜
22… n^- ドレイン領域
23… n^+ ドレイン領域

24… n^- ソース領域
25… n^+ ソース領域
22'… n^- ドレイン領域用不純物領域
23'… n^+ ドレイン領域用不純物領域
24'… n^- ソース領域用不純物領域
25'… n^+ ソース領域用不純物領域
26、27…電氣的 n^- 領域
40…ゲート絶縁膜
51…タンタルゲート電極
52、53、63、64…酸化タンタル膜
60、61、62…タンタル膜
67、68…金属膜積層体
70、71…アルミニウム膜
72…アルミニウムゲート電極
73…アルミニウムゲート電極側部
74…アルミニウムゲート電極側部
75…アルミニウムゲート電極中央部
81、82、83…酸化アルミニウム膜
90、95、96…クロム膜
91…クロムゲート電極
92…クロムゲート電極側部
93…クロムゲート電極側部
94…クロムゲート電極中央部
97、98、99…酸化クロム膜
100…薄膜トランジスタ
110…基板
120…多結晶シリコン半導体層
122… n^- ドレイン領域
123… n^- ソース領域
124… n^+ ドレイン領域
125… n^- ドレイン領域
127… n^- ソース領域
128… n^+ ソース領域
130…ゲート絶縁膜
140…タンタル膜
141…タンタルゲート電極
150…酸化タンタル膜
200…薄膜トランジスタ

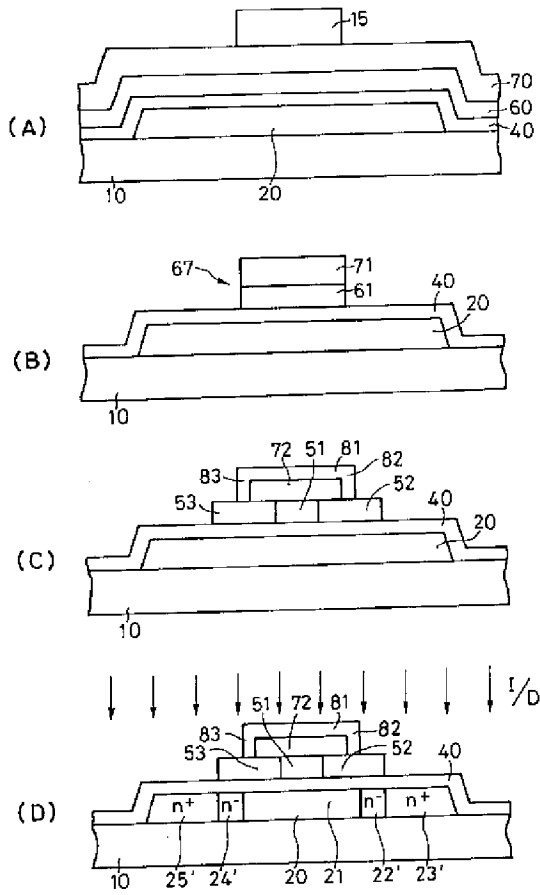
【図1】



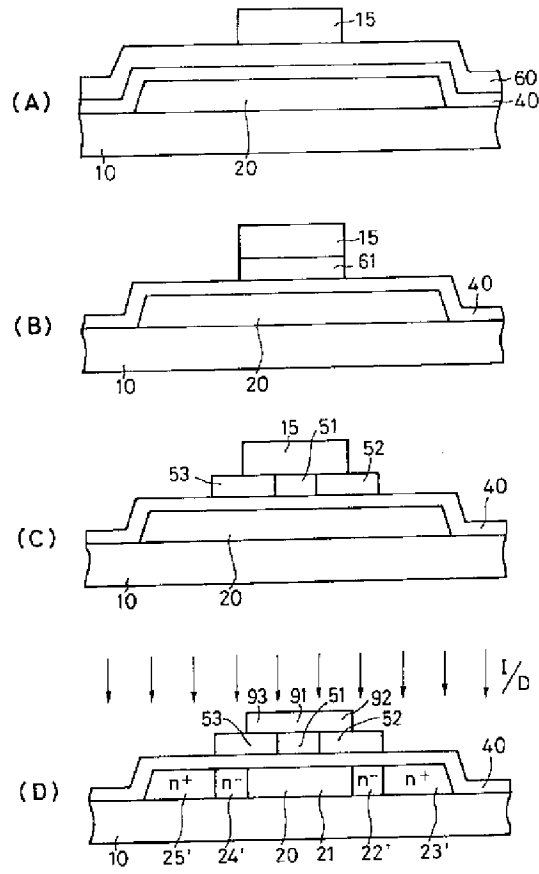
【図3】



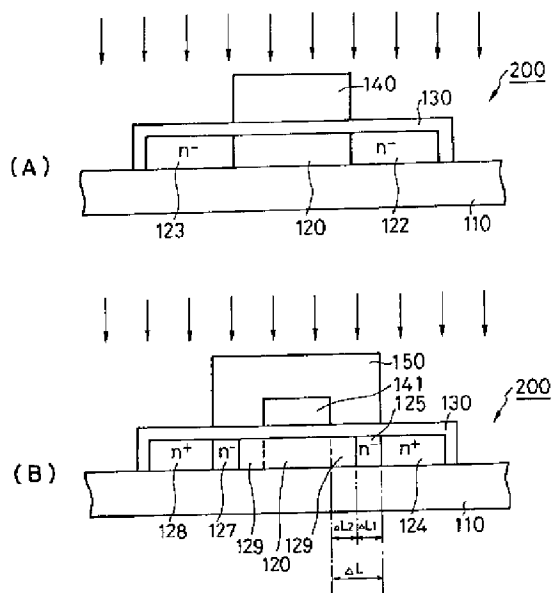
【図2】



【図4】



【図6】



【図5】

